

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-122746

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

G02F 1/133

G02F 1/1335

G02F 1/1345

(21)Application number : 06-256428

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 21.10.1994

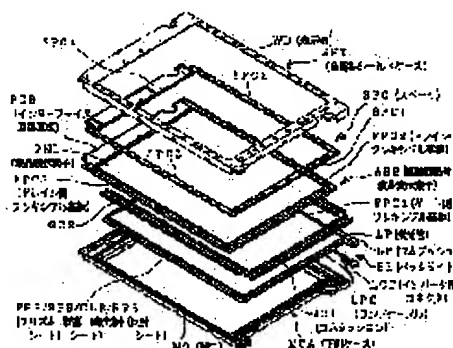
(72)Inventor : UEDA SHIRO
KUMAOKA SHUNICHI
SASUGA MASUMI
SHIBATA KATSUHIKO
IGARASHI YOICHI
KOBAYASHI NAOTO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To make small the outermost shape of a liquid crystal display module on a sealing port side by providing a recessed part on a peripheral circuit board located at the outer peripheral part of the sealing port so as to evade the projected part of the sealing port and arranging the lamp cable of a fluorescent tube by circulating the periphery of four sides of a liquid crystal display element.

CONSTITUTION: The liquid crystal display module consists of a shield case SHD, a display window WD, insulating spacers SPC1 to 4, folded multi-layer flexible circuit boards FPC1 to 3, an interface circuit board PCB, a liquid crystal display element ASB with driving circuit board, and the liquid crystal display element PNL in which a driving IC is loaded on the board on one side of two superimposed transparent insulating boards, and every member is superimposed and assembled with prescribed upper and lower relation. The peripheral circuit board located at the outer peripheral part of the sealing port is provided with the recessed part so as to evade the projected part of the sealing port. The lamp cable of a lengthy fluorescent tube is arranged in a space under the multi-layer flexible boards FPC1 to 3 packaged on the outer peripheral part of the liquid crystal display element by circulating the four sides.



LEGAL STATUS

[Date of request for examination] 21.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3288870

[Date of registration]

15.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-122746

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/133	5 5 0		
	1/1335	5 3 0		
	1/1345			

審査請求 未請求 請求項の数 3 O L (全 34 頁)

(21) 出願番号 特願平6-256428

(22) 出願日 平成6年(1994)10月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 上田 史朗

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 熊岡 俊一

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74) 代理人 弁理士 小川 勝男

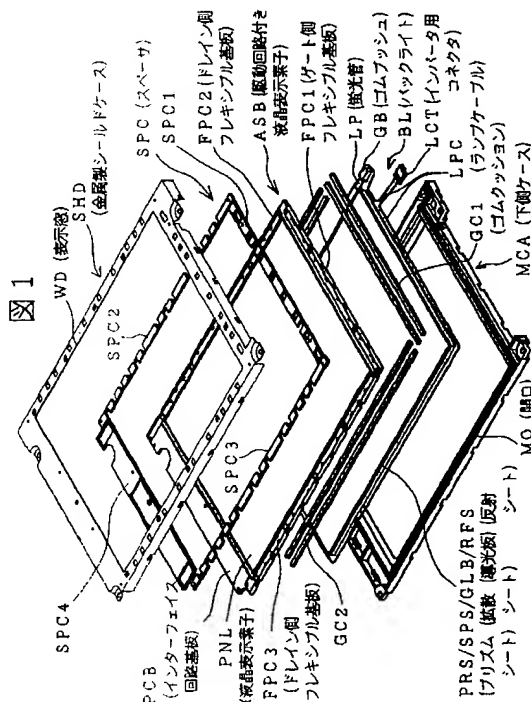
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【構成】 液晶表示装置において、封入口の外周部に位置する周辺回路基板が、封入口の凸部を避けるように、凹部を有し、また、蛍光管の2本のランプケーブルを液晶表示素子の4辺の周囲を周回して配置する構成。

【効果】 封入口側の基板及びサイドライト方式バックライトのランプケーブルのコンパクト実装が実現できる。



【特許請求の範囲】

【請求項1】重ね合わせた2枚の透明絶縁基板の間に液晶が封入され、凸部形状に封入樹脂が塗布された封入口を有する液晶表示素子において、該封入口の外周部に位置する周辺回路基板が、封入口の凸部を避けるように、凹部を有することを特徴とする液晶表示装置。

【請求項2】重ね合わせた2枚の透明絶縁基板の間に液晶が封入された液晶表示素子と、該液晶表示素子を背面から照らすサイドライト方式のバックライトとから構成される液晶表示装置において、該バックライトの蛍光管のランプケーブルを該液晶表示素子の下側で、該液晶表示素子の4辺に平行な外周部を周回させていることを特徴とする液晶表示装置。

【請求項3】重ね合わせた2枚の透明絶縁基板の間に液晶が封入された液晶表示素子と、該液晶表示素子を背面から照らすサイドライト方式のバックライトとから構成される液晶表示装置において、該バックライトの蛍光管のランプケーブルを該液晶表示素子の下側で、該液晶表示素子の4辺に平行に外周部を周回させており、高電圧側のケーブルは、1辺に平行に位置させ、低電圧側のケーブルは、該液晶表示素子の残りの3辺に平行に位置させて構成することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、重ね合わせた2枚の透明絶縁基板の間に液晶を封入してなる液晶表示素子と、その下に配置した導光板と、その側面近傍に配置した蛍光管とを含んで成るバックライトを有する液晶表示装置、および該液晶表示装置を表示部として組み込んだ情報処理装置に関する。

【0002】

【従来の技術】アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応してスイッチング素子を設けたものである。各画素における液晶は論理的には常時駆動されているので、時分割駆動方式を採用している単純マトリクス方式と比べてアクティブ・マトリクス方式はコントラストが良く特にカラーでは欠かせない技術になっている。

【0003】従来のアクティブ・マトリクス方式の液晶表示装置は、薄膜トランジスタ(TFT)が形成され液晶を封止した液晶表示部(液晶表示パネル)に、これを駆動する駆動IC(ドライバIC)をテープキャリアに搭載したテープキャリアパッケージ(TCP)として垂直方向の走査線側及び水平方向の信号線側に異方性導電膜(異方性コネクタ)により接続し、更に駆動ICに必要な液晶表示データや液晶用タイミング信号を生成し各駆動ICへ伝達する周辺回路をプリント基板に配線してテープキャリアパッケージ(TCP)の周辺に配置しテープキャリアパッケージ(TCP)と半田接続をとることによって液晶表示装置を構成していた。

【0004】なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば特開昭63-309921号公報や、「冗長構成を採用した12.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193~210、1986年12月15日、日経マグロウヒル社発行、で知られている。

【0005】

【発明が解決しようとする課題】従来の液晶表示装置では、重ね合わせた2枚の透明絶縁基板の間に液晶を封入する場合、凸部形状にエポキシ樹脂EPX等を封入口に塗布する。このため、該封入口の外周部に周辺回路基板を配置する場合、振動、衝撃等の機械的ストレスが封入口に加わらないように、封入口の凸部を避けるように、周辺回路基板全体を約1~2mm離していた。このため、液晶表示モジュールMDLの最外形もその分だけ増加する問題があった。

【0006】また、従来の液晶表示装置では、液晶表示素子を背面から照らすサイドライト方式のバックライトにおいて、蛍光管LPの収納される辺に平行な外周部から、2本の蛍光管のランプケーブルLPCを引き出していた。このため、液晶表示モジュールMDLの最外形が蛍光管の収納される側が対向側より大きくなるという問題があった。特に、高精細の液晶表示素子では、端子ピッチが小さくなり、駆動ICを対向する2辺に配置し、映像信号線の端子を両側に引き出す必要が生じる。この場合は、特に、ランプケーブルLPCの配線領域を前記2辺に対し、出来る限り均等に少ない面積で配線する必要が生じた。

【0007】本発明の第1の目的は、封入口側の液晶表示モジュールの最外形を小さくすることである。

【0008】本発明の第2の目的は、ランプケーブルLPCの配線領域を対向する2辺に対し、出来る限り均等に少ない面積で配線し、液晶表示モジュールの最外形を小さくすることである。

【0009】

【課題を解決するための手段】上記第1の課題を解決するために、本発明の液晶表示装置は、重ね合わせた2枚の透明絶縁基板の間に液晶が封入され、凸部形状に封入樹脂が塗布された封入口を有する液晶表示素子において、該封入口の外周部に位置する周辺回路基板が、封入口の凸部を避けるように、凹部PCNを有することを特徴とする。

【0010】上記第2の課題を解決するために、本発明の液晶表示装置は、重ね合わせた2枚の透明絶縁基板の間に液晶が封入された液晶表示素子と、該液晶表示素子を背面から照らすサイドライト方式のバックライトとから構成される液晶表示装置において、該バックライトの蛍光管のランプケーブルを該液晶表示素子の下側で、該液晶表示素子の4辺に平行な外周部を周回させているこ

とを特徴とする。

【0011】または、重ね合わせた2枚の透明絶縁基板の間に液晶が封入された液晶表示素子と、該液晶表示素子を背面から照らすサイドライト方式のバックライトとから構成される液晶表示装置において、該バックライトの蛍光管のランプケーブルを該液晶表示素子の下側で、該液晶表示素子の4辺に平行に外周部を周回させており、高電圧側のケーブルは、1辺に平行に位置させ、低電圧側のケーブルは、該液晶表示素子の残りの3辺に平行に位置させて構成することを特徴とする。

【0012】

【作用】本発明の液晶表示装置では、封入口の外周部に位置する周辺回路基板が、封入口の凸部を避けるように、凹部を有することにより、凸部の突出長さ分、一般には、約1mm分の幅を短くできる。

【0013】また、本発明によれば、細長い蛍光管のランプケーブルを液晶表示素子の外周部に実装した多層フレキシブル基板の下スペースに4辺を周回して配置することにより、スペースの使用効率良く、ランプケーブルを収納することができる。したがって、当該装置の外形状を小さくすることができ、当該装置を小型化、軽量化することができる。

【0014】

【実施例】本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0015】《液晶表示モジュールの全体構成》図1は、液晶表示モジュールMDLの分解斜視図である。

【0016】SHDは金属板から成るシールドケース（メタルフレームとも称す）、WDは表示窓、SPC1～4は絶縁スペーサ、FPC1～3は折り曲げられた多層フレキシブル回路基板（FPC1はゲート側回路基板、FPC2及びFPC3はドレイン側回路基板）、PCBはインターフェイス回路基板、ASBはアセンブルされた駆動回路基板付き液晶表示素子、PNLは重ね合わせた2枚の透明絶縁基板の一方の基板上に駆動ICを搭載した液晶表示素子、GC1及びGC2はゴムクッション、PRSはブリズムシート、SPSは拡散シート、GLBは導光板、RFSは反射シート、MCAは一体成型により形成された下側ケース（モールドケース）、LPは蛍光管、LPCはランプケーブル、LCTはインバーター用の接続コネクタ、GBは蛍光管LPを支持するゴムブッシュであり、図に示すような上下の配置関係で各部材が積み重ねられて液晶表示モジュールMDLが組み立てられる。

【0017】図2は、液晶表示モジュールMDLの組立完成図で液晶表示素子の表面側からみた斜視図である。

【0018】モジュールMDLは、下側ケースMCA、シールドケースSHDの2種の収納・保持部材を有する。

【0019】HLDは、当該モジュールMDLを表示部としてパソコン、ワープロ等の情報処理装置に実装するために設けた4個の取付穴である。下側ケースMCAの取付穴MH1～4に一致する位置にシールドケースSHDの取付穴SH1～4が形成されており（図4、図19参照）、両者の取付穴にねじ等を通して情報処理装置に固定、実装する。当該モジュールMDLには、輝度調整用のボリュームVRが設けられており、バックライト用のインバーターをMI部分に配置し、接続コネクタLCT、ランプケーブルLPCを介してバックライトBLに電源を供給する。本体コンピュータ（ホスト）からの信号及び必要な電源は、モジュール裏面に位置するインターフェイスコネクタCTを介して、液晶表示モジュールMDLのコントローラ部及び電源部に供給する。

【0020】図3は、図1に示した実施例であるTFT液晶表示モジュールのTFT液晶表示素子とその外周部に配置された回路を示すブロック図である。図示していないが、本発明では、ドレインドライバIC1～ICM及びゲートドライバIC1～ICNは、液晶表示素子の一方の透明絶縁基板上に形成されたドレイン側引き出し線DTM及びゲート側引き出し線GTMと異方性導電膜あるいは紫外線硬化樹脂等でチップ・オン・ガラス実装（COG実装）されている。本例では、XGA仕様である1024×3×768の有効ドットを有する液晶表示素子に適用している。このため、液晶表示素子の透明絶縁基板上には、192出力のドレインドライバICを対向する各々の長辺に8個ずつ（M=16）と、100出力のゲートドライバICを短辺に8個（N=8）とをCOG実装している。液晶表示素子の上側及び下側にはドレインドライバ部103が配置され、また、側面部には、ゲートドライバ部104、他方の側面部には、コントローラ部101、電源部102が配置される。コントローラ部101及び電源部102、ドレインドライバ部103、ゲートドライバ部104は、それぞれ電気的接続手段JN1～4により相互接続させる。

【0021】以下、各構成部品の具体的な構成を図4～図20に示し、各部材について詳しく説明する。

【0022】《金属製シールドケースSHD》図4は、シールドケースSHDの上面、前側面、後側面、右側面、左側面を示す図であり、シールドケースSHDの斜め上方からみたときの斜視図は図1に示される。

【0023】シールドケース（メタルフレーム）SHDは、1枚の金属板をプレス加工技術により、打ち抜きと折り曲げ加工により作製される。WDは表示パネルPNLを視野に露出する開口を示し、以下表示窓と称す。

【0024】NLはシールドケースSHDと下側ケースMCAとの固定用爪（全部で10個）、HKは同じく固定用のフック（全部で6個）であり、シールドケースSHDに一体に設けられている。図1、図4に示された固定用爪NLは折り曲げ前の状態で、駆動回路付き液晶表

示素子ASBをスペーサSPCを挟んで、シールドケースSHDに収納した後、それぞれ内側に折り曲げられて下側ケースMCAに設けられた四角い固定用凹部NR

(図19の各側面図参照)に挿入される。固定用フックHKは、それぞれ下側ケースMCAに設けた固定用突起HP(図19の側面図参照)に嵌合される。これにより、駆動回路付き液晶表示素子ASB等を保持・収納するシールドケースSHDと、導光板GLB、蛍光管LP等を保持・収納する下側ケースMCAとがしっかりと固定される。また、表示パネルPNLの下面の表示に影響を与えない四方の縁周囲には薄く細長い長方形のゴムクッションGC1、GC2(ゴムスペーサとも称す。図1参照)が設けられている。また、固定用爪NLと固定用フックHKは取り外しが容易なため(固定用爪NLの折り曲げを延ばし、固定用フックHKを外すだけ)、2部材の分解・組立が容易なので、修理が容易で、バックライトBLの蛍光管LPの交換も容易である。また、本実施例では、図4に示すように、一方の辺を主に固定用フックHKで固定し、向かい合う他方の辺を固定用爪NLで固定しているので、すべての固定用爪NLを外さなくても、一部の固定用爪NLを外すだけで分解することができる。したがって、修理やバックライトの交換が容易である。

【0025】CSPは、絶縁スペーサSPC1~4の孔SSP(図5参照)と共通して同じ平面位置に設けた共通貫通穴で、製造時、固定して立てたピンに、シールドケースSHDと絶縁スペーサSPC1~4とを順に各共通貫通穴に挿入して実装することにより、両者の相対位置を精度よく設定するためのものである。絶縁スペーサSPC1~4は、絶縁物INSの両面に粘着材ADH

(図5参照)が塗布されており、シールドケースSHD及び駆動回路付き液晶表示素子ASBを確実に絶縁スペーサの間隔を保って固定できる。また、当該モジュールMDLをパソコン等の応用製品に実装するとき、この共通貫通穴CSPを位置決め基準とすることも可能である。

【0026】FGFは金属製シールドケースSHDと一体に形成された合計10個のフレームグランド用爪で、シールドケースSHDの上面に開けられた「コ」の字状の開口、換言すれば、四角い開口中に延びた細長い突起により構成される。この細長い突起が、それぞれ装置内部へ向かう方向に根元のところで折り曲げられ、絶縁スペーサSPC1~3の切りかけ部SGFを介して、多層フレキシブル回路基板FPC1~3及びインターフェイス基板PCBのグランド配線に接続されたフレームグランドパッドFGP(図6参照)に半田付けにより接続された構造になっている。なお、爪FGNをシールドケースSHDの側面に2個設けたので、爪FGNを装置内部へ折り曲げ、かつ、フレームグランドパッドFGPに半田付けする作業は、液晶表示パネルPNLと一体化され

た回路基板アセンブリASBをシールドケースSHD内に収納し、スペーサで固定した後、シールドケースSHDの内面(下面)を上に向けた状態で行なうことができ、作業性がよい。また、爪FGNを折り曲げるときは、爪FGNが回路基板アセンブリASBに当たらないので、折り曲げの作業性がよい。また、半田付け作業では、開放されたシールドケースSHDの内面側から半田こてを当てることができるので、半田付けの作業性がよい。したがって、爪FGF及びFGNとフレームグランドパッドFGPとの接続信頼性を向上することができる。

【0027】シールドケースSHDの表面に開けられた四角い開口SHLは、駆動回路付き液晶表示素子ASBの多層フレキシブル基板FPC1~3に搭載された電子回路部品であるコンデンサCHD、CHGの収納される部分であり、ドレイン基板側に各々10個、ゲート基板側に10個あり、絶縁スペーサSPC1~3にも平面的に共通する位置に切り欠けSPL(図5参照)が設けられている。本手段により、当該モジュールMDLの厚みを更に薄くすることができる。

【0028】シールドケースSHDの表面に開けられた丸い開口CVLは、輝度調整用ボリュームVRを制御するために設けられたもので、絶縁スペーサSPC4にも共通貫通穴SVL(図5参照)がある。

【0029】《絶縁スペーサ》図5は、絶縁スペーサSPCの上面を示す図であり、絶縁スペーサSPCの斜め上方からみたときの斜視図は図1に示される。更に、SPC1の開口部SPLでのA-A切断線における断面図、及びSPC4のB-B切断線における断面図を示す。

【0030】前述したように、絶縁スペーサSPCは、シールドケースSHDと駆動回路付き液晶表示素子ASBとの絶縁を確保するだけでなく、シールドケースSHDとの位置精度の確保や駆動回路付き液晶表示素子ASBとシールドケースSHDとの固定をする。

【0031】《多層フレキシブル基板FPC1~3》図6は、表示パネルPNLの外周部に多層フレキシブル基板FPC1~3及び多層プリント基板PCBを実装した状態を示す下面図である。本例では、多層フレキシブル基板FPC1~3は、この後の工程で折り曲げられる。

【0032】図6の上側の8個は垂直走査回路側の駆動ICチップ、左右側の各8個は映像信号駆動回路側の駆動ICチップで、異方性導電膜や紫外線硬化剤等を使用して透明絶縁基板上にチップ・オン・ガラス(COG)実装されている。従来法では、駆動用ICチップがテープオートメティドボンディング法(TAB)により実装されたテープキャリアパッケージ(TCP)を異方性導電膜を使用して表示パネルPNLに接続していた。COG実装では、直接駆動ICを使用するため、前記のTAB工程が不要となり工程短縮となり、テープキャリ

アも不要となるため原価低減の効果もある。更に、COG実装は、高精度・高密度表示パネルPNLの実装技術として適している。すなわち、本例では、XGAパネルとして1024×3×768ドットの10インチ画面サイズのTFT液晶表示モジュールを設計した。このため、赤(R)、緑(G)、青(B)の各ドットの大きさは、207 μ m(ゲート線ピッチ)×69 μ m(ドレイン線ピッチ)となっており、1画素は、赤(R)、緑(G)、青(B)の3ドットの組合せで、207 μ m角となっている。このため、ドレイン線引き出しDTMを片側に1024×3本とすると、引き出し線ピッチは69 μ m以下となってしまう、現在使用可能なTCP実装の接続ピッチ限界以下となる。COG実装では、使用する異方性導電膜等の材料にも依存するが、おおよそ駆動用ICチップのバンプBUMP(図13参照)のピッチで約70 μ m及び下地配線との交叉面積で約50 μ m角が現在使用可能な最小値といえる。このため、本例では、液晶パネルの対向する2個の長辺側にドレインドライバICを一列に並べ、ドレイン線を2個の長辺側に交互に引き出して、ドレイン線引き出しDTMのピッチを69×2 μ mとした。したがって、駆動用ICチップのバンプBUMP(図13参照)ピッチを約100 μ m及び下地配線との交叉面積を約70 μ m角に設計でき、下地配線とより高い信頼性の接続が可能となった。ゲート線ピッチは207 μ mと十分大きいので、片側の短辺側にてゲート線引き出しGTMを引き出しているが、更に高精度になると、ドレイン線と同様に対向する2個の短辺側にゲート線引き出し線GTMを交互に引き出すことも可能である。

【0033】ドレイン線あるいはゲート線を交互に引き出す方式では、前述したように、引き出し線DTMあるいはGTMと駆動ICの出力側BUMPとの接続は容易になるが、周辺回路基板を液晶パネルPNLの対向する2長辺の外周部に配置する必要が生じ、このため外形寸法が片側引き出しの場合よりも大きくなるという問題があった。特に、表示色数が増えると表示データのデータ線数が増加し、情報処理装置の最外形が増加する。このため、本発明では、多層フレキシブル基板を使用することで従来の問題を解決する。また、XGAパネルとして、14インチ以上の画面サイズとなると、ドレイン線引き出しDTMのピッチは、約100 μ m以上と大きくなり、1個の長辺側にドレインドライバICをCOG実装にて片側配置できる。この場合も、本発明の多層フレキシブル基板を使用できる。

【0034】図7(a)は、本例で使用した多層フレキシブル基板の1断面図である。

【0035】3層以上の導体層、例えば、本例では、4層の導体層L1~4の部分FMLを液晶パネルPNLの辺に並行して設け、この部分に周辺回路配線や電子部品を搭載することで、データ線数が増加しても、基板外形

を保持したまま層数を増やすことで対応できる。各導体層間の接続は、貫通孔VIA(図14参照)を通して電氣的に接続される。導体層L1~4は、銅CU配線から形成されるが、導体層L3のみは、銅CU上に金メッキAUを施している。したがって、出力端子TMと駆動ICへの入力端子配線Td(図13参照)との接続抵抗が低減できる。各導体層間は、絶縁層としてポリイミドフィルムBFI材からなる中間層を介在させ、粘着剤BINにより各導体層を固着する。導体層は、出力端子TM以外は、絶縁層で被覆されるが、多層配線部分FMLでは、絶縁を確保するためソルダレジストSRSを最上及び最下層に塗布した。

【0036】多層フレキシブル基板の利点は、COG実装する場合に必要な接続端子部分TMを含む導体層L3が他の導体層と一体で構成でき、部品点数が減ることである。

【0037】また、3層以上の導体層の部分FMLで構成することで、変形が少なく硬い部分になるため、この部分に位置決め用穴FHLを配置できる。また、多層フレキシブル基板の折り曲げ時にも、この部分で変形を生じることなく、信頼性及び精度良い折り曲げができる。更に、後で述べるが、ベタ状あるいはメッシュ状導体パターンERHを表面層L1に配置でき、残りの2層以上の導体層で、部品実装用や周辺配線用導体パターンの配線を行なうことができる。

【0038】更に、突出部分FSLは単層L3の導体層である必要は無く、図7(b)に本発明の他の実施例として示すように、突出部分FSLを2層の導体層L2、L3で構成することもできる。この構成は、駆動ICへの入力端子配線Tdのピッチが狭くなった場合に、端子配線Td及び接続端子部分TMのパターンを千鳥状に複数列の配線群にパターン形成し、異方性導電膜等で各々を電氣的に接続させ、導体層L3にある接続端子部分TMの引き出し時に、一方の列の配線群は貫通孔VIAを介して他層の導体層L2に接続させる場合や、周辺配線の一部を突出部分FSL内の導体層L2に配置する場合に、2層の導体層L2、L3の構成は有効である。

【0039】このように、突出部分FSLを2層以下の導体層で構成することで、ヒートツールでの熱圧着時に、熱伝導が良く圧力を均一に加えることができ、接続端子部分TMと端子配線Tdの電氣的な信頼性を向上できる。また、多層フレキシブル基板の折り曲げ時にも、接続端子部分TMに曲げ応力を与えることなく、精度良い折り曲げができる。また、突出部分FSL部分が半透明であるため、導体層のパターンが多層フレキシブル基板の上側からも観察できるため、接続状態等のパターン検査が上側からもできるという利点もある。

【0040】図8は、ゲートドライバを駆動するための多層フレキシブル基板FPC1の上面図(a)と下面図(b)及び多層フレキシブル基板上のA、B及びC部の

導体パターンの要部拡大図(c)、図9は、ドレインドライバを駆動するための多層フレキシブル基板FPC2の上面図(a)と下面図(b)及び多層フレキシブル基板上のA、B及びC部の導体パターンの要部拡大図

(c)、図10は、ドレインドライバを駆動するための多層フレキシブル基板FPC3の上面図(a)と下面図(b)及び多層フレキシブル基板上のA、B及びC部の導体パターンの要部拡大図(c)を示す。

【0041】フレキシブル基板上のアラインメントマークについて説明する。

【0042】図8～図10に示すフレキシブル基板FPC1～3において、接続端子部分TMの長さは、接続信頼性確保のため、通常2mm程度に設計する。しかし、フレキシブル基板FPC1～3の長辺が170～240mmと長いと、僅かな長軸方向の回転を含む位置ずれにより、入力端子配線Tdと接続端子部分TMとの位置ずれが生じ、接続不良となる可能性がある。液晶パネルPNLとフレキシブル基板FPC1～3との位置合わせは、各基板の両端に開けた開口孔FHLを固定ピンに差し込んだ後、入力端子配線Tdと接続端子部分TMを数箇所合わせて行なうことができる。しかし、本例では、更に合わせ精度を向上させるため、アラインメントマークを設けた。

【0043】図37及び図38に示すが、ゲートドライバ駆動ICの入力としては、V1RからV1Lの計20本あり、図8に示す接続端子部分TMの番号2～21に各々電気接続させる。端子TMのピッチPGは約600 μ mである。アラインメントマークALMGは、各駆動ICへの前記20本の端子TMの近傍に位置させ、入力端子配線Tdパターンとの位置合わせ精度向上及び接続後の検査を行なう。本例では、接続信頼性を向上させるため、20本の入力用端子TMと隣接した位置にダミー線NC(端子番号1及び22)を設け、更に、口の字のアラインメントマークALMGは、前記ダミー線NCにパターン接続してもうけ、対向する透明基板SUB1上の四角の塗りつぶしパターンALG(図24参照)が丁度口の字内に納まる状態に位置合わせする。更に、本例では、FPC1の両端側に、ドレインドライバ基板FPC2、FPC3との接続を行なうためのジョイント用パターンJN3及びJN4を設けたため、アラインメントマークALMGは、最外配線のパターンJN4内の番号1あるいはパターンJN3内の番号1にパターン接続している。

【0044】図39ないし図43に示すが、ドレインドライバ駆動ICの入力としては、端子AVDD～AVDD間の計47本あり、図9及び図10に示す接続端子部分TMの番号3～49に電気接続させる。端子TMのピッチPDは約370 μ mである。本例では、アラインメントマークALMDは、前記47本の入力用端子TMと隣接して、接続信頼性向上用のダミー線NC(端子番号

2及び50)を配置する。更にその外側には、液晶容量C1cの対向電極であり、透明絶縁基板SUB2の内側にある共通透明画素電極COM(図22参照)に電圧を供給するため、図9及び図10に示す端子(番号1及び51)が配置される。こうして、コモン電圧は、透明絶縁基板SUB1上の配線Tdパターンを通して、導電性ビーズやペーストから、透明絶縁基板SUB2側の共通透明画素電極COMに供給される。

【0045】アラインメントマークALMDは、この電極COMに電気的につながる端子(番号1及び51)にパターン接続してもうけ、透明基板SUB1上の四角の塗りつぶしパターンALD(図4参照)と合わせる。更に、本例では、図9及び図10のFPC2及びFPC3の上端部にて、ゲートドライバ基板FPC1との接続を行なうためのジョイント用パターンJN3及びJN4を設けている。さらに、FPC2及びFPC3の下端部は、電源回路及びコントローラ回路用の多層プリント基板上に、接続を行なうためのジョイント用配線パターンJN1及びJN2を設け、更にアラインメントマークALMCを最外配線にパターン接続する。

【0046】次に、2層以下の導体層部分FSLの形状につき説明する。

【0047】単層あるいは2層の導体配線からなる部分FSLの突出長さは、本例では折り曲げ部BNT(図7参照)を設けたため、約4.5mmとした。但し、折り曲げない構造では、部分FSLを更に短くできる。

【0048】部分FSLの突出形状は、駆動IC毎に分離した凸状の形状とした。したがって、ヒートツールでの熱圧着時にフレキシブル基板が長軸方向に熱膨張して、端子TMのピッチPG及びPDが変化し、接続端子Tdとの剥がれや接続不良が生じる現象を防止できる。すなわち、駆動IC毎に分離した凸状の形状とすることで、端子TMのピッチPG及びPDずれを最大でも駆動IC毎の周期の長さに対応する熱膨張量とすることができる。本例では、フレキシブル基板の長軸方向で8分割に分離した凸状の形状とすることにしており、この熱膨張量を約1/8に減少させることができ、端子TMへの応力緩和にも寄与し、熱に対する液晶モジュールMDLの信頼性を向上できる。

【0049】以上のように、アラインメントマークALMG及びALMDを設け、部分FSLの突出形状を駆動IC毎に分離した凸状とすることで、接続配線数や表示データのデータ本数が増加しても精度良く、接続信頼性を確保しながら、周辺駆動回路を縮小できる。

【0050】次に、3層以上の導体層部分FMLについて説明する。

【0051】FPC1～3の導体層部分FMLには、チップコンデンサCHG、CHDが実装される。すなわち、ゲート側基板FPC1では、図37及び図38に示すが、グラウンド電位Vss(0ボルト)と電源Vd g

(10ボルト)の間あるいは、電源 V_{sg} (5ボルト)と電源 V_{dg} の間にC41～C50の合計10個をハンダ付けする。更に、ドレイン側基板FPC2及びFPC3では、図39ないし図43に示すが、グランド電位 V_{ss} と電源 V_{dd} (5ボルト)の間あるいは、グランド電位 V_{ss} と電源 V_{dp} (2.5ボルト)の間にC21～C30の合計10個をFPC2基板上に、C31～C40の合計10個をFPC3基板上にハンダ付けする。これらのコンデンサCHG、CHDは、電源ラインに重畳するノイズを低減するためのものである。なお、ハンダ付けの精度を上げるため、基板FPC1～3に設けた小孔FALを利用して、チップコンデンサを基板上に自動で搭載可能としている。

【0052】本例では、これらのチップコンデンサを片側の表面導体層L1のみにハンダ付けし、折り曲げ後にシールドケースSHD側に全て位置するようにし、更に、シールドケースSHDの開口部SHLと平面的に共通位置になるように設計した。したがって、液晶モジュールMDLの厚みを一定に保ちながら、電源ノイズの平滑化用コンデンサを基板FPC1～3に搭載可能となった。

【0053】次に、情報処理装置から発生する高周波ノイズの低減方法につき説明する。

【0054】金属シールドケースSHD側は、液晶モジュールMDLの表面側であり、情報処理機器の正面側であるため、この面からのEMI (エレクトロ マグネティック インタフィアレンス) ノイズの発生は、外部機器に対する使用環境に大きな問題を生じる。

【0055】このため、本例では、導体層部分FMLの表面層L1は、可能な限り直流電源のベタ状あるいはメッシュ状パターンERHで被覆している。図14 (a)は、図8のD部分にあるFML部分のパターン構成を示す平面図である。メッシュMESHは、表面導体層L1に開けた300 μ m径程度の多数の穴からなり、このメッシュ状パターンERHは、貫通穴VIA及びコンデンサ部品CHD、CHGの部分は除いて、ほぼ全面を被覆する。

【0056】更に、パターンERHがソルダレジストRSから露出したパターンFGPをゲート側基板FPC1には2箇所、ドレイン側基板FPC2及びFPC3には各々4箇所配置し、シールドケースSHDのFGFグランドとハンダ付けを行ない、EMIノイズを低減している。すなわち、本例のように、回路基板が複数に分割されている場合、直流的には駆動回路基板のうち少なくとも1箇所がフレームグランドに接続されていれば、電気的な問題は起きないが、高周波領域ではその箇所が少ないと、各駆動回路基板の特性インピーダンスの違い等により電気信号の反射、グランド配線の電位が振られる等が原因で、EMIを引き起こす不要な輻射電波の発生ポテンシャルが高くなる。特に、薄膜トランジスタを

用いたアクティブ・マトリクス方式のモジュールMDLでは、高速のクロックを用いるので、EMI対策が難しい。これを防止するために、複数に分割された各回路基板毎に少なくとも1箇所グランド配線 (交流接地電位) をインピーダンスが十分に低い共通のフレーム (すなわち、シールドケースSHD) に接続する。これにより、高周波領域におけるグランド配線が強化されるので、全体で1箇所だけシールドケースSHDに接続した場合と比較すると、本実施例の10箇所の場合は輻射の電界強度で大幅に改善が見られた。

【0057】《インターフェイス回路基板PCB》コントローラ部及び電源部の機能を有するインターフェイス回路基板PCBの下面図を図11 (a)に、搭載したハイブリッド集積回路HIの横側面図、前側面図を図11 (b)に、インターフェイス回路基板PCBの上面図を図11 (c)に示す。

【0058】本例では、基板PCBはガラスエポキシ材からなる8層の多層プリント基板を採用した。多層フレキシブル基板も使用可能であるが、この部分は折り曲げ構造を採用しなかったため、価格が相対的に安い多層プリント基板とした。

【0059】電子部品は全て情報処理装置から見て裏面側である基板PCBの下面側に搭載する。表示制御装置用として、2個の集積回路素子TCONを基板の左右に配置している。インターフェイスコネクタCTは、基板のほぼ中央に位置し、更に複数の抵抗やコンデンサが搭載されている。輝度調整ボリュームVRの回転部は、前述したように、基板PCBの穴PVLと平面的に同一位置にあるシールドケースSHDの穴CVLを通して外部から調整可能としている。

【0060】2個の集積回路素子TCONを使用している理由は、PCB基板外形を小さくするためと、消費電力を分散させるためと、液晶パネルPNLの2長辺部分に一列に並んだドレインドライバICへ信号を効率良く供給するためである。《表示制御集積回路素子TCONの分割》の項で、TCON分割法につき更に詳述する。

【0061】また、本例では、基板PCBが液晶パネルPNLの封入口EPX (図6参照) 側の外周部に配置されるため、基板PCBの中央付近部に凹部PCNを配置することで、封入口EPXの突出個所に基板PCBが接触しないようにできる。したがって、従来に比べ、基板PCBを液晶パネルPNLに更に約1mm接近させることができ、モジュールMDL外形のコンパクト化に有利となった。同様に、封入口EPXが、液晶パネルPNLの中央になく、コーナー部やコーナー部寄りに位置している場合も、封入口EPXの突出個所を避けるように、凹部PCNを配置することができる。

【0062】また、ハイブリッド集積回路HIは、回路の一部をハイブリッド集積化し、小さな回路基板の上面および下面に主に供給電源形成用の複数の集積回路や

電子部品が実装されて構成され、インターフェイス回路基板PCB上に1個実装されている。図に示すように、ハイブリッド集積回路HIのリードを長く形成し、回路基板PCBとハイブリッド集積回路HIとの間の回路基板PCB上にもTCON等を含む電子部品EPが複数個実装されている。なお、部品実装の自動化のために基板PCBに4個の孔CALを設けている。

【0063】また、ドレインドライバ基板FPC2及びFPC3とインターフェイス回路基板PCBとの電気接続は、本例では、異方性導電膜ACF1を使用している。

【0064】図12(a)は、多層フレキシブル基板FPC2を多層プリント基板PCB上に異方性導電膜ACF1で電気接続した状態を示す斜視図である。

【0065】基板PCBの接続箇所JN1及びJN2上に異方性導電膜ACFを貼り付け、基板FPC2及びFPC3の穴FHLを治具の位置決めピンに仮固定し、開口穴CJHとFPC3の穴FJHとを合わせて粗い合わせを行なう。合わせ精度向上のため、基板PCB側には、四角の塗りつぶしパターンALCを配置している。このパターンALCをFPC2及びFPC3側の口の字状の合わせパターンALMCに納まる状態に位置を調整しながら、ヒートツールでフレキシブル基板を仮熱圧着する。更に位置ずれがないことを確認後、本熱圧着し、基板FPC2及びFPC3を基板PCBに固定する。

【0066】異方性導電膜ACFを使用した理由は、基板PCB幅が約20mmとの外形上の制約があったため、接続箇所JN1及びJN2の幅は約15mmと狭くなり、この領域内に信号線や電源ラインを約44本(図39、図42のI/F4、I/F5参照)配線する必要があるが、配線間ピッチは約340 μ mと小さくなった。したがって、従来のハンダ付けでは信頼性の良い電気接続が難しくなった。したがって、本手段により、画素数や表示色数が増えて配線間ピッチが狭くなっても、インターフェイス基板と信頼性良く電気接続できる。

【0067】基板PCBの上面は、情報処理装置から見て表面側であり、EMIノイズが最も輻射されるポテンシャルが高い方向である。このため、本例では、図11(c)に示すように、多層の表面導体層をほぼ全面にグラウンドのベタ状あるいは、メッシュ状パターンERHで被覆している。図14(b)は、パターンERHの拡大した正面図である。ソルダレジストSRSの下に銅導体のメッシュ状パターンERHが貫通穴VIA部分を除いて全面被覆形成されている。このパターンERHは、基板PCBの下面のパターンFGPとシールドケースSHDのFGNグラウンドとをハンダ付けすることで、EMIノイズ輻射を減少させることができる。

【0068】前述したように、フレキシブル基板FPC1～3も、基板の表面導体層はパターンERHで被覆されており、液晶パネルPNLの4辺の外周部は、全て直流電位で固定され、効果的に基板内側からのEMIノイ

ズ輻射を減少させることができる。

【0069】《駆動回路基板付き液晶表示素子ASB》
図16は、駆動回路基板付き液晶表示素子ASBの上面図である。

【0070】透明絶縁基板SUB1のパターン形成面とは反対側の面に、フレキシブル基板FPC1～3を折り曲げて接着している。有効画素エリアARの僅か(約1mm)外側に偏光板POL1があり、そこから、約1～2mm離れて基板FPC2、FPC3のFMLの端部が位置する。透明絶縁基板SUB1の端からFPC1～3の折れ曲り部の突出の先端までの距離は、僅か約1mmと小さく、コンパクト実装が可能となる。したがって、本例では、有効画素エリアARから基板FPC1～3の折れ曲り部の突出の先端までの距離はドレイン側約10mm、ゲート側約12mmとなった。

【0071】次に、フレキシブル基板折り曲げ実装方法につき説明する。

【0072】図12(b)は、多層フレキシブル基板の折り曲げ実装方法を示す斜視図である。ドレインドライバ基板FPC2、FPC3とゲートドライバ基板FPC1の接続は、ジョイナーとしてフレキシブル基板を使用し、必要ならば、この部分で折りたたんで折り曲げ実装することも可能である。しかし、本例では、部品点数を減らすためと折り曲げ実装を簡単に行なうため、透明絶縁基板SUB1上に基板間の電氣的接続パターンJN3及びJN4を形成している。

【0073】まず、フレキシブル基板FPC1～3と液晶パネルPNLの粗い位置合わせとして、治具に液晶パネルPNLを所定位置に固定し、治具の固定ピンに穴FHLを差し込んで基板FPC1～3を仮固定する。液晶パネルPNL上には、異方性導電膜ACF2が貼ってあり、前述したアライメントマークで更に正確に位置合わせしながら、ヒートツールにて仮熱圧着し、再度位置ずれの無いことを確認後、本熱圧着し、フレキシブル基板FPC1～3を液晶パネルPNL上に固定する。

【0074】次に、フレキシブル基板の導体層部分FMLの部品実装が全く無い面に両面テープを貼り、治具を使用して、導体層部分BNTにて折り曲げる。

【0075】図15は使用した両面テープBAT1～3を示す。幅3mmであり、長さ160～240mmと細長い形状であるが、接着性が確保できれば良く、短い形状のものを数箇所貼付けても良い。また、両面テープBAT1～3は、透明絶縁基板SUB1側に予め貼付けていても良い。

【0076】以上のように、治具を使用して、多層フレキシブル基板を精度良く折り曲げ、透明絶縁基板SUB1の表面に接着できる。

【0077】《電氣的接続パターンJN3及びJN4》
電氣的接続パターンJN3及びJN4を配置することで、部品点数を減らし、折り曲げ実装を簡単に行なうこ

とができる。

【0078】電気的接続パターンJN3及びJN4は、液晶パネルPNLの画素パターン形成と同時に形成される。本例では、パターンJN3は4本配線(図37参照)からなり、基板SUB1の額縁周辺から内部に向かって、Vdg(10ボルト)、Vsg(5ボルト)、CL3(ゲート走査用クロック)、Vss(グランド)と、おおよそ次第に電圧が小さくなるように配線した。なお、CL3(図31参照)は、周期が1水平期間の約 $20\mu\text{sec}$ (約500kHz)で、5~10ボルトの間でレベル変化する低周波のクロックパルスである。パターンJN4も4本配線(図38参照)からなり、額縁周辺から内部に向かって、Vee(-17ボルト)、Veg(ゲートオフ電圧)、FLM(フレーム開始指示信号)、Vss(グランド)とおおよそ次第に絶対電圧値が小さくなるように配線した。Veg(図26参照)は、2水平期間周期(約250kHz)で、-17~-11ボルトの間でレベル変化する低周波クロックパルスである。FLM(図31参照)は、60Hz周期で、5~10ボルトの間でレベル変化する低周波パルスである。したがって、これらの交流信号は、EMIノイズとしては、低周波のため問題とならない。また、合計8本の電源及び信号線は、ゲートドライバ基板FPC1内の多層配線内で交叉して、ゲート駆動ICの入力端子に供給する。したがって、ゲート駆動ICの入力端子の順序の制約を受けることがなく、基板SUB1上の各配線の平均直流電圧を額縁周辺から内部に向かって、おおよそ単調に変化するように配置することができ、高湿度環境下での配線パターン間のマイグレーションの防止や配線間の電磁気的干渉を低減できる。配線幅については、流れる電流量を考慮し、Vss電源ラインは太くした。また、配線間隔は、本例では、ほぼ等しくしたが、配線間の電圧差が大きい場合は、広くすることもできる。

【0079】以上の構成で、ゲートドライバ駆動に必要な計8個の信号は、ドレインドライバ基板FPC2のJN3部1~4端子(図9参照)及び基板FPC3のJN4部1~4端子(図10参照)を通して、ゲートドライバ基板FPC1のJN3及びJN4の1~4端子(図8参照)に伝達される。

【0080】《ゴムクッションGC》図17は、ゴムクッションGC1、GC2の上面図を示す図であり、斜め上方からみたときの斜視図は図1に示す。図20(a)は、図2に示す液晶モジュールMDLのA-A切断線における断面図を示す。

【0081】ゴムクッションGC1は、図20に示すように、表示パネルPNLの基板SUB1の額縁周辺上のフレキシブル基板FPCと下側ケースMCAとの間に介在される。これにより、2層以下の導体層部分FSLに圧力を加え固定し、基板SUB1の配線パターンとの接続信頼性の向上を行なう。また、駆動ICが下側ケース

MCAに接触して機械的破損を生じることを防止している。

【0082】ゴムクッションGC2は、表示パネルPNLの基板SUB2と導光板GLB上の反射シートLSとの間に介在される。ゴムクッションGC2の弾性を利用して、シールドケースSHDを装置内部方向に押し込むことにより固定用フックHKが固定用突起HPに引っかかり、また、固定用爪NLが折り曲げられ、固定用凹部NRに挿入されて、各固定用部材がストッパとして機能し、シールドケースSHDと下側ケースMCAとが固定され、モジュール全体が一体となってしっかりと保持され、他の固定用部材が不要である。従って、組立が容易で製造コストを低減できる。また、機械的強度が大きく、耐振動衝撃性が高く、装置の信頼性を向上できる。なお、ゴムクッションGC1、GC2には、片側に粘着材が付いており、フレキシブル基板FPC及び基板SUB2の所定個所に貼られる。

【0083】《バックライトBL》図18は蛍光管LPを組み込む前のサイドライト方式バックライトBLで、反射シートLS、拡散シートSPS、プリズムシートPRS、導光板GLB及び反射シートRFSの組立ての上面図、及びA-A切断線における断面図である。

【0084】表示パネルPNLを背面から照らすサイドライト方式バックライトBLは、1本の冷陰極蛍光管LP、蛍光管LPのランプケーブルLPC、蛍光管LPおよびランプケーブルLPCを保持するゴムブッシュGB、導光板GLB、導光板GLBの上面全面に接して配置された拡散シートSPS、導光板GLBの下面全面に配置された反射シートRFS、拡散シートSPSの上面全面に接して配置されたプリズムシートPRSから構成される。

【0085】反射シートLSは、蛍光管LPを反射シートLP上に配置した後、丸めて180度折り曲げ、粘着材BATにその端を接着させる。

【0086】モジュールMDL内において、細長い蛍光管LPは、液晶表示パネルPNLの長辺の一方に実装されたドレイン側フレキシブル基板FPC2およびドレイン側駆動ICの下スペース(図20参照)に配置されている。これにより、モジュールMDLの外形寸法を小さくすることができるので、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。

【0087】《拡散シートSPS》拡散シートSPSは、導光板GLBの上に載置され、導光板GLBの上面から発せられる光を拡散し、液晶表示パネルPNLに均一に光を照射する。

【0088】《プリズムシートPRS》プリズムシートPRSは、拡散シートSPSの上に載置され、下面は平滑面で、上面がプリズム面となっている。プリズム面は、例えば、互いに平行な直線状に配列された断面形状

がV字状の複数本の溝から成る。プリズムシートPRSは、拡散シートSPSから広い角度範囲にわたって拡散される光をプリズムシートPRSの法線方向に集めることにより、バックライトBLの輝度を向上させることができる。したがって、バックライトBLを低消費電力化することができ、その結果、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。

【0089】《反射シートRFS》反射シートRFSは、導光板GLBの下に配置され、導光板GLBの下から発せられる光を液晶表示パネルPNLの方へ反射させる。

【0090】《下側ケースMCA》図19は、下側ケースMCAの上面図、上側面図、下側面図、右側面図、左側面図である。

【0091】モールド成型により形成した下側ケースMCAは、図1に示す蛍光管LP、ランプケーブルLPC、導光板GLB等の保持部材、すなわち、バックライト収納ケースであり、合成樹脂で1個の型で一体成型することにより作られる。下側ケースMCAは、金属製シールドケースSHDと、各固定部材と弾性体の作用により、しっかりと合体するので、モジュールMDLの耐振動衝撃性、耐熱衝撃性が向上でき、信頼性を向上できる。

【0092】下側ケースMCAの底面には、周囲の枠状部分を除く中央の部分に、該面の半分以上の面積を占める大きな開口MOが形成されている。これにより、モジュールMDLの組み立て後、液晶表示パネルPNLと、導光板GLB間のゴムクッションGC2（図20参照）の反発力により、下側ケースMCAの底面に上面から下面に向かって垂直方向に加わる力によって、下側ケースMCAの底面がふくらむのを防止でき、最大厚みを抑えることができる。したがって、ふくらみを抑えるために、下側ケースの厚さを厚くしなくて済み、下側ケースの厚さを薄くすることができるので、モジュールMDLを薄型化、軽量化することができる。

【0093】MCLは、インターフェイス回路基板PCBの発熱部品、本実施例では、ハイブリッドIC化した電源回路（DC-DCコンバータ）等の実装部に対応する箇所の下側ケースMCAに設けた切欠き（図11に示すコネクタCT接続用の切欠きを含む）である。このように、回路基板PCB上の発熱部を下側ケースMCAで覆わずに、切欠きを設けておくことにより、インターフェイス回路基板PCBの発熱部の放熱性を向上することができる。すなわち、現在、薄膜トランジスタTFTを用いた液晶表示装置を高性能化し、使い易さを向上するため、多階調化、単一電源化が要求されている。これを実現するための回路は、消費電力が大きく、また、回路手段をコンパクトに実装しようとなると、高密度実装となり、発熱が問題となる。したがって、下側ケースMCA

に発熱部に対応して切欠きMCLを設けることにより、回路の高密度実装性、およびコンパクト性を向上することができる。この他にも、表示制御集積回路素子TCO Nが発熱部品と考えられ、この上の下側ケースMCAを切り欠いてもよい。

【0094】MH1～4は、当該モジュールMDLをパソコン等の応用装置に取り付けるための4個の取付穴である。金属製シールドケースSHDにも、下側ケースMCAの取付穴MH1～4に一致する取付穴SH1～4が形成されており、ねじ等を用いて応用製品に固定、実装される。

【0095】蛍光管LPとランプケーブルLPCとを保持したゴムブッシュGBは、ゴムブッシュGBがぴったりはまるように形成された収納部MGにはめ込まれ、蛍光管LPは下側ケースMCAと非接触で収納部ML内に収納される。

【0096】MBは導光板GLBの保持部で、PJ部は、位置決め部である。MLは蛍光管LPの収納部、MGはゴムブッシュGBの収納部、MVXは、蛍光管LP周りの反射シートLSと導光板GLBの重なり部分を収容するための溝部分である。MC1はランプケーブルLPC1の収納部、MC2はランプケーブルLPC2の収納部である。

【0097】《ランプケーブルLPCの下側ケースMCAへの収納》本例では、コンパクトに実装を行なうためと、EMIノイズへの悪影響がないようにランプケーブルLPCの配線を工夫した。

【0098】図20（b）は、図2に示す液晶モジュールMDLのB-B切断線における断面図を示す。

【0099】すなわち、2本のランプケーブルLPCの内、グラウンド電圧側のケーブルLPC2は、蛍光管LPの収納部以外の3辺の外形に沿うように、下側ケースMCAに形成された溝から成る収納部MC2に収納される。高圧側ケーブルLPC1は、インバータIVに接続される部分に近いように、短く配線し、形成された溝から成る収納部MC1に収納される。したがって、グラウンド電圧配線のみ長い経路をとるので、EMIノイズへの悪影響は、従来と比べ変化無い。したがって、従来のように、2本のランプケーブルLPC1、2を一辺側から取り出す場合に比べ、図20（a）に示すように、蛍光管LP側には、ランプケーブルLPC2が無く、配線エリアを1.5～2mmだけ減らせる。本例では、図20（b）に示すように、ランプケーブルLPC2を透明絶縁基板SUB1の内側で、丁度駆動ICの下側に位置するように配置し、コンパクトな設計としている。ドレインドライバの引き出しが両側の場合は、特にこの配線方法は、液晶モジュールのコンパクト化に適する。

【0100】ランプケーブルLPC1、LPC2の先端部にはインバータIVが接続される。インバータIVは、インバータ収納部MIに収納される。このように、

モジュールMDLをパソコン等の応用製品に組み込んだ場合、ランプケーブルLPCがモジュールの外側の側面を通ったり、インバータIVがモジュールMDの外側にはみ出ることなく、バックライトBLの蛍光管LP、ランプケーブルLPC、ゴムブッシュGB、インバータIVをコンパクトに収納、実装することができ、モジュールMDLを小型化、軽量化することができ、製造コストを低減することができる。

【0101】なお、蛍光管LPの設置場所は、導光板GLBの短辺側に設置してもよい。

【0102】《表示制御集積回路素子TCONの分割》以下、本発明の液晶表示装置の実施例を基に表示制御集積回路TCONの分割方法につき説明する。

【0103】最初に、本実施例のTFT液晶表示モジュールについて、概要を説明する。

【0104】図21は、TFT液晶表示パネルとその外周部に配置された回路を示すブロック図である。TFT液晶表示パネル(TFT-LCD)の上側にドレインドライバ部103が配置され、また、1024×3×768画素から構成されるXGA仕様の液晶表示パネル(TFT-LCD)の側面部には、ゲートドライバ部104、コントローラ部101、電源部102が配置される。

【0105】ドレインドライバ部103及びゲートドライバ部104は、前述したように、多層フレキシブル基板を折り曲げ実装し、十分コンパクト設計ができた。

【0106】コントローラ部101及び電源部102は、多層プリント基板PCBに実装する。コントローラ部101、電源部102を搭載したインターフェイス基板PCBは、液晶パネルPNLの封入口側の短辺の外周部に、ゲートドライバ部104と対向して配置されるが、情報機器の横幅の制約があり、可能な限り基板PCBの幅も縮小させる必要が生じた。

【0107】図22は、図21に示すTFT液晶表示パネル(TFTP-LCD)の等価回路を示す図である。

【0108】図22に示すように、薄膜トランジスタTFTは、隣接する2本のドレイン信号線Dと、隣接する2本のゲート信号線Gとの交差領域内に配置される。

【0109】薄膜トランジスタTFTのドレイン電極、ゲート電極は、それぞれ、ドレイン信号線D、ゲート信号線Gに接続される。

【0110】薄膜トランジスタTFTのソース電極は画素電極に接続され、画素電極とコモン電極との間に液晶層が設けられるので、薄膜トランジスタTFTのソース電極との間には、液晶容量CLCが等価的に接続される。

【0111】薄膜トランジスタTFTは、ゲート電極に正のバイアス電圧を印加すると導通し、ゲート電極に負のバイアス電圧を印加すると不導通になる。

【0112】また、薄膜トランジスタTFTのソース電極と前ラインのゲート信号線との間には、保持容量C_a

d_dが接続される。

【0113】なお、ソース電極、ドレイン電極は本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース電極、ドレイン電極は動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース電極、他方をドレイン電極と固定して表現する。

【0114】また、図22に示すTFT液晶表示パネル(TFT-LCD)の1画素の等価回路において、薄膜トランジスタTFTのドレイン-ゲート間、および、ゲート-ソース間には、浮遊容量C_gd、C_gsが存在する。

【0115】したがって、図23に示すように、各ゲート信号線の間には、保持容量C_ad_dとゲート-ソース間の浮遊容量C_gsとの直列回路が接続されることになる。

【0116】保持容量C_ad_dは、良く知られているように、薄膜トランジスタ(TFT)がスイッチングするとき、ゲート電位変化が画素電極電位に与える影響を低減する働きをする。また、保持容量C_ad_dは、放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長い間蓄積する。

【0117】本例では、ゲート1ライン目の保持容量C_ad_dの他端が開放状態になるのを防止するために、ゲート信号線(G1)の外側にダミーゲート信号線(G0)が設けられ、ゲート1ライン目の保持容量C_ad_dの他端をダミーゲート信号線(G0)に接続する。

【0118】また、最終ラインのゲート信号線(G768)の外側にはゲート信号線が存在しないため、最終ゲート信号線(G768)とその他のゲート信号線(G1~G767)との間では、ゲート信号線に接続されるコンデンサの容量値が相違する。このため、本例のTFT液晶表示モジュールにおいては、ゲート信号線に接続されるコンデンサの容量値が略同じにするために、最終ゲート信号線(G768)の外側に、ダミーゲート信号線(G769)が設けられる。

【0119】本例では、ゲート信号線G0から開始し、正規のゲート信号線(G1~G768)に順次、1水平期間に1パルスのゲートパルスを印加していく。また、ゲート信号線(G0~G768)の両側に設けたダミーゲート信号線(G-1、G769)には、ゲートオフ時のパルスを印加する。

【0120】図24は、本例の液晶表示パネルのゲート、ドレイン配線及び配線引き出し部周辺の構成を示す平面図である。

【0121】前に述べたように、本例では、ドレインピッチ拡大のため、両側引き出しを採用した。すなわち、ドレイン線D1、D3等の奇数番号の配線は、上側に引き出し、D2、D4等の偶数番号の配線は、下側に引き出す。ドレイン線の各々192本の配線群は1個の駆動

ICの出力に電氣的につながる。

【0122】ダミーゲート信号線(G-1、G0、G769)は、製造工程中において静電気が侵入するのを防止する効果も有している。

【0123】ダミーゲート信号線(G-1、G769)には、ゲートオフ電圧を多層フレキシブル基板FPC1のパターンを通して直接供給する。ゲート信号線(G0~G768)は、各々100本の配線群が、1個のゲート駆動ICの出力に電氣的につながる。このため、最終番目のゲート駆動IC8では、出力端子X1~X69(図37参照)のみゲート信号線(G700~768)につなげ、残り31個の出力端子は、開放となる。

【0124】図25は、本例のTFT液晶表示モジュールの各ドライバ(ドレインドライバ、ゲートドライバ、コモンドライバ)の概略構成と、信号の流れを示すブロック図である。

【0125】図25において、表示制御装置201、バッファ回路210は図21に示すコントローラ部101に設けられ、ドレインドライバ211は図21に示すドレインドライバ部103に設けられ、ゲートドライバ206は図21に示すゲートドライバ部104に設けられる。

【0126】ドレインドライバ211は、表示データのデータラッチ部と出力電圧発生回路とから構成される。

【0127】また、階調基準電圧生成部208、マルチプレクサ209、コモン電圧生成部202、コモンドライバ203、レベルシフト回路207、ゲートオン電圧生成部204、ゲートオフ電圧生成部205およびDC-DCコンバータ212は図21に示す電源部102に設けられる。

【0128】図26に、コモン電極に印加されるコモン電圧、ドレインに印加されるドレイン電圧、ゲート電極に印加されるゲート電圧のレベル、および、その波形を示す。なお、ドレイン波形は黒を表示しているときのドレイン波形を示す。

【0129】図27は、本例のTFT液晶表示モジュールにおける、ゲートドライバ206、ドレインドライバ211に対する表示用データとクロック信号の流れを示す図である。また、図32は、本体コンピュータから表示制御装置201に入力される表示データ及び表示制御装置201からドレイン、ゲートドライバへ出力される信号を示すタイミングチャートである。

【0130】表示制御装置201は、本体コンピュータからの制御信号(クロック、表示タイミング信号、同期信号)を受けて、ドレインドライバ211への制御信号として、クロックD1(CL1)、シフトクロックD2(CL2)及び表示データを生成し、同時に、ゲートドライバ206への制御信号として、フレーム開始指示信号FLM、クロックG(CL3)及び表示データを生成する。

【0131】また、ドレインドライバ211の前段のキャリア出力は、そのまま次段のドレインドライバ211のキャリア入力に入力される。

【0132】図28は、入力表示データと画素の関係を示す1構成図である。

【0133】表示制御装置が1個の場合は、2画素分を表示制御装置に入力し表示制御内において上側のドレイン・ドライバ用、下側のドレイン・ドライバ用に表示データを振り分けて出力する。本例では、本体コンピュータからの入力表示データは、2画素分を並列にインターフェイスI/F1へ入力し、基板PCB内配線で1画素分データになるように分けて、2個の表示制御装置のそれぞれの入力端子へ入力する。

【0134】図35及び図36に表示制御装置及びその周辺部の入出力配線を示す。

【0135】本体コンピュータからは、I/F1から、上側用表示制御集積回路素子TCN(マスタ側と定義)に最大7ビットまでの入力が可能となっている。すなわち、1画素目の赤ドット用データRA0~6、1画素目の青ドット用データBA0~6、2画素目の緑ドット用データGB0~6の表示データを入力する。表示制御集積回路素子TCNは、これらデータを変換して、各々R00~05、B00~05、G10~15の6ビット表示データを出力する。6ビット表示データとした理由は、現状では、7ビット表示用ドレインドライバが入手困難なこと、6ビット表示用が相対的に廉価であることによる。

【0136】最下位の入力表示データであるRA0、BA0、GA0は、表示制御集積回路素子TCNのRFRC、BFRC、GFRCに接続され、フレームレートコントロール(FRCと略す。)用入力として使用する。FRC法は、指定するフレーム毎に表示データを制御し、液晶セルC1cに印加される実効値を制御し、多色表示する方法で、単純マトリクス液晶では、既存の技術で、TFT液晶への応用した例は、ヒロユキ マノ、ツトム フルハシ、アンド トシオ タナカエタル、"マルチカラー ディスプレイ コントロール メソッド フォー TFT-LCD"、エス アイ ディー 91 ダイジェスト、547頁、1991年(Hiroyuki Mano, Tsutomu Furuhashi, and Toshio Tanaka et al., "Multicolor Display Control Method for TFT-LCD", SID 91 DIGEST, 547(1991))に記載されている。

【0137】したがって、最下位ビットを指定することで、FRC駆動のセット、リセットができ、各色に対し、最大約128階調表示を行なえる。

【0138】また、下側用表示制御装置(スレーブ側と定義)には、1画素目の緑ドット用データGA0~6、2画素目の赤ドット用データRB0~6、2画素目の青ドット用データBB0~6の表示データを入力し、B

10~15、G01~05、R10~15を出力する。最下位の入力表示データであるGB0、RB0、BB0は、GFRC、RFRC、BFRCに接続させる。

【0139】このように、本例のTFT液晶表示モジュールは、各色に対し、64階調表示あるいは、FRC法で約128階調表示を前提として、本体コンピュータから送信されてくる表示用データは、各色毎の7ビットあるいは6ビット入力の構成とし、ドレインドライバは各色毎の6ビット処理が可能である構成とした。この表示制御装置は、入力する画素数と出力する画素数とが一致する構成となっているので、入力されるクロックの周期(DCLK)と出力する周期(CL2)は同じになる。また入力したデータを処理する必要がなければ、そのまま受け取ったデータをドレイン・ドライバへ出力する。

【0140】図29は、2個の表示制御集積回路素子TCONの概略構成を示すブロック図である。

【0141】各々の表示制御装置201は、1ビット当たりの回路構成部226と、周期処理部分230と、制御信号生成部222から構成される。

【0142】1ビット当たりの回路構成部221は、D型フリップフロップ226と、論理処理回路227と、D型フリップフロップ228とが従属接続されてなり、本体コンピュータからの表示用データを受け取り、制御信号生成部222からのクロック信号を基にドレインドライバ211に表示用データを出力する。本例では、各色毎の6ビットの構成であるため、1画素分の表示データの並列処理行なので、3ドット分の合計で18個の回路部221から構成される。

【0143】データ処理部221の論理処理回路227は、表示用データを反転するために挿入されるものである。つまり、図26に示すが、例えば、黒レベルのドレイン波形を1水平期間(1H)毎に変化させるため、論理処理回路227で1ビットずつ論理反転を行ない、ドレインドライバに入力している。

【0144】図32から明かなように、ドレインドライバのシフト用クロックD2(CL2)は、本体コンピュータから入力されるクロック信号(DCLK)および表示用データの周波数と同じであり、本体コンピュータからのクロック信号と同一周波数のクロック信号により、D型フリップフロップ226に取り込まれた表示用データは、D型フリップフロップ228からクロック信号によりデータバスに出力され、本体コンピュータから送信されてくる単純1列の表示用データを、データバスに出力する。

【0145】表示制御装置201は、本体コンピュータからの制御信号によりドライバを駆動する制御信号を生成しているので、2個の表示制御装置間で出力クロックの位相がずれることはないが、内部の初期値(不定値)またはリセットの解除の状態により生成する信号では、これら2個の間において同期及び極性が一致しない場合

がある。もし、同期がとれていないと、本例のXGAパネルでは、上側のドレイン・ドライバと下側のドレイン・ドライバとで白黒が反転してしまう現象が発生する問題があった。

【0146】本例では、上記問題を対策するため、周期処理部分230を表示制御装置201内に配置する。

【0147】図30は、周期処理部分230の要部回路構成を示す。

【0148】マスタ側からスレーブ側に、同期信号を送ることとし、スレーブ側ではこの信号を使用して内部処理を行う。実施例では、ドレイン・ドライバのデータ反転/非反転の指示が、2個間の同期処理に当る。

【0149】マスタモード及びスレーブモードの選択は、モード設定端子から行なう。

【0150】表示制御装置201が、マスタ側であった場合は、マスタモード端子がHiレベル、スレーブモード端子がLowレベルとなり、データ極性信号がそのまま実際に回路内で使用する信号となり、論理処理回路227のクロック入力になる。更に、データ極性信号が、出力バッファから出力パッドPADを通して、スレーブ側の表示制御装置201に入力され、同期信号として作用する。

【0151】表示制御装置201が、スレーブ側であった場合は、マスタモード端子がLowレベル、スレーブモード端子がHiレベルとなり、もはや、出力バッファは作動しなくなる。この状態で、マスタ側の出力バッファから出力パッドPADを通ってきたデータ極性信号が、スレーブ側の表示制御装置201のPADに入力として印加される。このマスタ側からのデータ極性信号がそのまま実際に回路内で使用する信号となり、スレーブ側の表示制御装置201の論理処理回路227のクロック入力になる。したがって、2個の表示制御装置間で出力クロックの位相がずれることはない。

【0152】図35、図36に、表示制御集積回路素子TCONの周囲の結線図及び端子名を示す。

【0153】マスタ側の出力バッファから出力パッドPADを通ってきたデータ極性信号は、端子DDTからスレーブ側入力パッドPADの端子DDTに伝達される。

【0154】また、表示用データの反転が必要なければ、論理処理回路227は必要ない。

【0155】すなわち、例えば、図26に示す黒レベルのドレイン波形を1水平期間(1H)毎に変化させるため、図25の階調基準電圧生成部において、1水平期間(1H)毎に変化する電源反転回路とトランジスタに直結する梯子型抵抗回路とを組合せ、各階調レベルに対応する2種類の階調基準電圧を生成しておき、マルチプレクサ209で1水平期間(1H)毎に同期した2種類の階調基準電圧を選択し、ドレインドライバの同一の階調基準電圧供給ラインへ入力にする。この方法では、電源反転回路手段及びマルチプレクサ209との同期手段が

必要となり、論理反転法に比べ、一般に回路設計が難しくなる。ただし、この方法によれば、2個の表示制御装置TCON内に論理処理回路227が不要となり、Dフリップフロップ226、228も1個にでき、面積縮小に更に有利である。

【0156】図33は、3種類の構成に対する表示制御集積回路素子TCONの外形を示す平面図である。

【0157】図33(a)は、本例のXGA液晶パネルPNLを1個の表示制御集積回路素子TCONで制御する場合の外形サイズを示す。表示データ端子のみでも、

〔7ビット(入力)+6ビット(出力)〕×3(RGBドット)×2画素(上/下ドレインドライバ用)=78端子が最低必要となる。この他にドレイン、ゲートドライバへ出力される制御信号も2倍に増え、合計で、144端子となることがわかった。端子間ピッチ0.5mmとすると、外形は、約22mm角となる。

【0158】図33(b)は、マスタ及びスレーブ側の2個の表示制御集積回路素子TCONでデータを制御する場合の外形サイズを示す。図11は、この構成にて、実際に表示制御集積回路素子TCONを作製し、基板PCBに実装したものである。表示データ端子として、

〔7ビット(入力)+6ビット(出力)〕×3(RGBドット)=39端子と半減する。この他にドレイン、ゲートドライバへ出力される信号も約半減し、合計で、80端子となる。端子間ピッチ0.5mmとすると、外形は、約13.6mm(縦)×12mm(横)となる。完全に半減されない理由は、モード設定や本体コンピュータからの同期信号、表示タイミング信号等は、半減できないためである。但し、この構成は、モード設定端子があるため、XGAパネルだけでなく、VGAパネル(640×3×480ドット)やSVGAパネル(800×3×600ドット)にも対応できる。

【0159】図33(c)は、2個の表示制御集積回路素子TCONで制御する場合で、更にXGAパネル専用とし、モード設定端子を省いた場合の外形サイズを示す。これにより、合計で64端子と、大幅に減り、外形も12mm角と縮小できる。

【0160】《液晶表示モジュールMDLを実装した情報機器》図34は、液晶表示モジュールMDLを実装したノートブック型のパソコン、あるいは、ワープロの斜視図である。

【0161】本発明の実施例である駆動ICの液晶パネルPNL上へのCOG実装と外周部のドレイン及びゲートドライバ用周辺回路としての多層フレキシブル基板に折り曲げ実装を採用することで、従来に比べ大幅に外形サイズ縮小ができる。したがって、ドレインドライバ用周辺回路を情報機器のヒンジ上方の表示部の上下に対称に配置できるため、表示部中心と液晶パネルPNLの中心とを容易に一致させることができる。

【0162】情報機器からの信号は、まず、図では、左

側のインターフェイス基板PCBのほぼ中央に位置するコネクタCTから2個の表示制御集積回路素子TCONへ行き、ここでデータ変換された表示データが、上下に分かれてドレインドライバ用周辺回路へ流れる。このように、複数の表示制御集積回路素子TCONを使用することで、情報機器の横幅の外形の制約が解消でき、小型で低消費電力の情報機器を提供できた。

【0163】図35、図36は図22に示すコントローラ部101を、図37、図38は図22に示すゲートドライバ部104を、図39～図43は図22に示すドレインドライバ部103を、図44、図45は図26に示す各ドライバの回路を示している。

【0164】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0165】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0166】(1)液晶表示装置において、封入口の外周部に位置する周辺回路基板が、封入口の凸部を避けるように、凹部を有することにより、凸部の突出長さ分、一般には、約1mm分の幅を短くできる。

【0167】(2)細長い蛍光管のランプケーブルを液晶表示素子の外周部に実装した多層フレキシブル基板の下スペースに4辺を周回して配置することにより、スペースの使用効率良く、ランプケーブルを収納することができる。したがって、当該装置の外形寸法を小さくすることができ、当該装置を小型化、軽量化することができる。

【図面の簡単な説明】

【図1】本発明を適用した液晶表示装置の液晶表示モジュールの分解斜視図である。

【図2】図1に示す液晶表示モジュールの表面側からみた組立て完成後の斜視図である。

【図3】本発明の液晶表示装置の実施例である液晶表示モジュールの液晶表示パネルとその周辺に配置された回路を示すブロック図である。

【図4】シールドケースSHDの上面図、前側面図、後側面図、右側面図、左側面図である。

【図5】スペーサSPCの上面図、A-A切断線における断面図、B-B切断線における断面図である。

【図6】本実施例の液晶表示パネルの外周部に多層フレキシブル基板及び多層プリント基板を実装した状態を示す下面図である。

【図7】(a)は、本実施例で使用した折り曲げ可能な多層フレキシブル基板の断面図である。(b)は、本発明の他の実施例であり、突出部分FSLを2層の導体層で構成した多層フレキシブル基板の断面図である。

【図 8】本実施例で使用したゲートドライバを駆動するための多層フレキシブル基板の上面図と下面図及び導体パターンの要部拡大図である。

【図 9】本実施例で使用した一方側のドレインドライバを駆動するための多層フレキシブル基板の上面図と下面図及び導体パターンの要部拡大図である。

【図 10】本実施例で使用した他方側のドレインドライバを駆動するための多層フレキシブル基板の上面図と下面図及び導体パターンの要部拡大図である。

【図 11】本実施例で使用したコントローラ部及び電源部の機能を有するインターフェイス回路基板の上面図と下面図及び基板に搭載したハイブリッド集積回路の横側面図、前側面図である。

【図 12】(a) は、本実施例で使用した多層フレキシブル基板と多層プリント基板を異方性導電膜で電気接続した状態を示す斜視図である。(b) は、本実施例で使用した折り曲げ可能な多層フレキシブル基板の折り曲げ実装方法を示す斜視図である。

【図 13】図 12 に示す斜視図の A-A 切断線における断面図である。

【図 14】本実施例で使用した多層フレキシブル基板の 3 層以上の部分における表面導体層のパターンを示す上面図で、直流電圧に固定されたメッシュ状パターンでほぼ全面被覆された状態を示す。

【図 15】粘着テープの上面図である。

【図 16】多層フレキシブル基板の折り曲げ後の駆動回路基板付き液晶表示素子の上面図である。

【図 17】ゴムクッション G C の上面図である。

【図 18】蛍光管を組み込む前の導光体、プリズムシート、拡散シート、反射シートからなるバックライトの組立て途中の上面図及び A-A 切断線における断面図である。

【図 19】下側ケース M C A の上面図、前側面図、後側面図、右側面図、左側面図である。

【図 20】(a) は、図 2 に示す液晶表示モジュールの組立て完成図の A-A 切断線における断面図であり、シールドケース、多層フレキシブル基板の折り曲げ部や搭載されたチップ部品、ゴムクッション、バックライト、下側ケースの相対位置関係を示す。(b) は、図 2 に示す液晶表示モジュールの組立て完成図の B-B 切断線における断面図であり、ランプケーブル L P C の相対位置を示す。

【図 21】本実施例の T F T 液晶表示モジュールの等価回路を示すブロック図である。

【図 22】図 22 に示す T F T 液晶表示パネルの 1 ドットの等価回路を示す図である。

【図 23】図 22 に示す T F T 液晶表示パネルの 1 画素の等価回路の各ゲート信号線に接続される容量を示す図である。

【図 24】本実施例の T F T 液晶表示パネルのゲート配

線、ドレイン配線及び配線引き出し部周辺の構成を示す平面図である。

【図 25】本実施例の T F T 液晶表示モジュールの各ドライバの概略構成と、信号の流れを示すブロック図である。

【図 26】本実施例の T F T 液晶表示モジュールにおける、コモン電極に印加されるコモン電圧、ドレイン電極に印加されるドレイン電圧、ゲート電極に印加されるゲート電圧のレベル及びその波形を示す図である。

【図 27】本実施例の T F T 液晶表示モジュールにおける、表示制御装置からゲート及びドレインドライバへの表示用データとクロック信号の流れを示す図である。

【図 28】本実施例の T F T 液晶表示モジュールにおける、入力表示データと 2 画素内の赤緑青の各ドットとの対応関係を示す図である。

【図 29】図 27 に示す表示制御装置の概略構成を示すブロック図である。

【図 30】図 29 に示す表示制御装置の周期処理回路の要部を示す回路図である。

【図 31】本実施例の T F T 液晶表示モジュールにおける、本体コンピュータから表示制御装置に入力される表示データ及び表示制御装置からゲート、ドレインへ出力される信号のタイミングチャートを示す図である。

【図 32】図 31 に示すタイミングチャートにおける、入力される表示データとドレインドライバへ出力される表示データのタイミングを示す図である。

【図 33】表示制御集積回路素子 T C O N の外形を示す平面図である。

【図 34】本実施例の液晶表示モジュールを実装したノートブック型のパソコン、あるいは、ワープロの斜視図である。

【図 35】本実施例の T F T 液晶表示モジュールにおける、表示制御集積回路素子 T C O N とインターフェイス I / F 1 との間の結線部分を示す図である。

【図 36】本実施例の T F T 液晶表示モジュールにおける、表示制御集積回路素子 T C O N とインターフェイス I / F 1 との間の結線部分を示す図である。

【図 37】本実施例の T F T 液晶表示モジュールにおける、ゲート駆動 I C に入出力される信号とドレインドライバ基板側から入力信号の結線部分を示す図である。

【図 38】本実施例の T F T 液晶表示モジュールにおける、ゲート駆動 I C に入出力される信号とドレインドライバ基板側から入力信号の結線部分を示す図である。

【図 39】本実施例の T F T 液晶表示モジュールにおける、インターフェイス I / F 4 とドレイン駆動 I C に入力される信号との間及びドレイン駆動 I C からの出力の結線部分を示す図である。

【図 40】本実施例の T F T 液晶表示モジュールにおける、インターフェイス I / F 4 とドレイン駆動 I C に入力される信号との間及びドレイン駆動 I C からの出力の

結線部分を示す図である。

【図41】本実施例のTFT液晶表示モジュールにおける、インターフェイスI/F4とドレイン駆動ICから入力される信号との間、ドレイン駆動ICからの出力及びゲートドライバ基板側への出力の結線部分を示す図である。

【図42】本実施例のTFT液晶表示モジュールにおける、インターフェイスI/F5とドレイン駆動ICから入力される信号との間及びドレイン駆動ICからの出力の結線部分を示す図である。

【図43】本実施例のTFT液晶表示モジュールにおける、インターフェイスI/F5とドレイン駆動ICから入力される信号との間、ドレイン駆動ICからの出力及びゲートドライバ基板側への出力の結線部分を示す図である。

【図44】本実施例のTFT液晶表示モジュールにおける、ホスト側の入力インターフェイスとドレインドライバ基板側への出力インターフェイス間の結線部分であり、実際の液晶駆動回路の回路構成を示す図である。

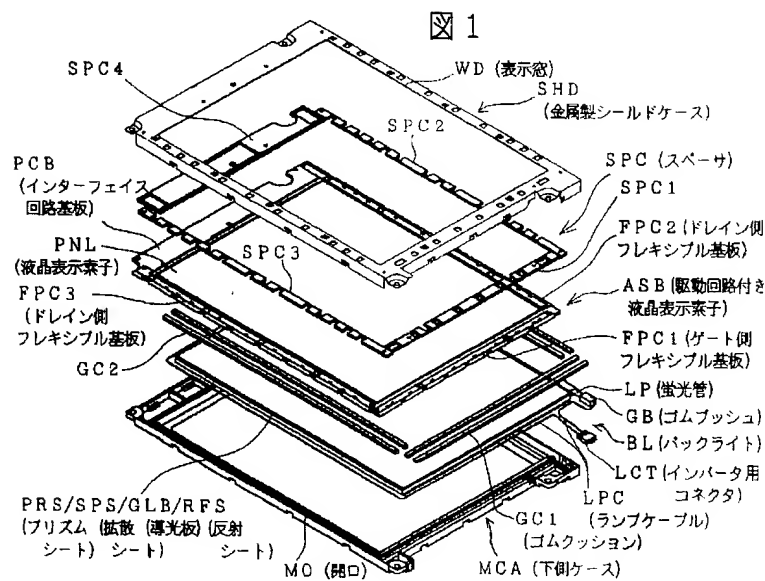
【図45】本実施例のTFT液晶表示モジュールにおけ

る、ホスト側の入力インターフェイスとドレインドライバ基板側への出力インターフェイス間の結線部分であり、実際の液晶駆動回路の回路構成を示す図である。

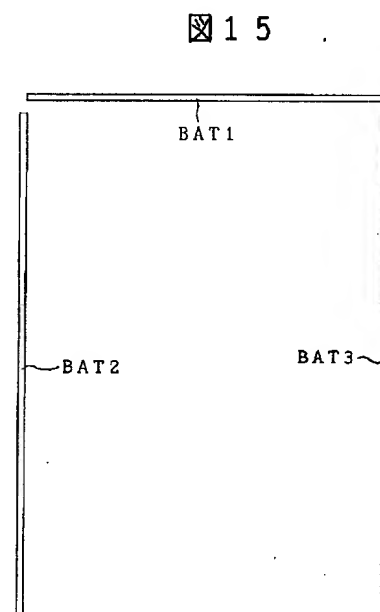
【符号の説明】

PNL…液晶表示素子（パネル）、SUB1…透明絶縁基板1、SUB2…透明絶縁基板2、SHD…シールドケース、IC…駆動ドライバ、FPC1～3…多層フレキシブル基板、FML…多層フレキシブル基板において3層以上の導体層から構成される部分、FSL…多層フレキシブル基板において3層以上の導体層から構成される部分、BNT…多層フレキシブル基板の折り曲げ部分、ALMC、ALMD、ALMG…アライメントマーク、CHD、CHG…チップ部品、ERH…直流電圧のベタ状あるいは、メッシュ状導体パターン、PCB…インターフェイス回路基板、ACF1、ACF2…異方性導電膜、TCO…表示制御集積回路素子、PCN…封入口の凸部近傍に位置する周辺基板に設けた凹部、BL…バックライト、LP…蛍光管、LPC…ランプケーブル

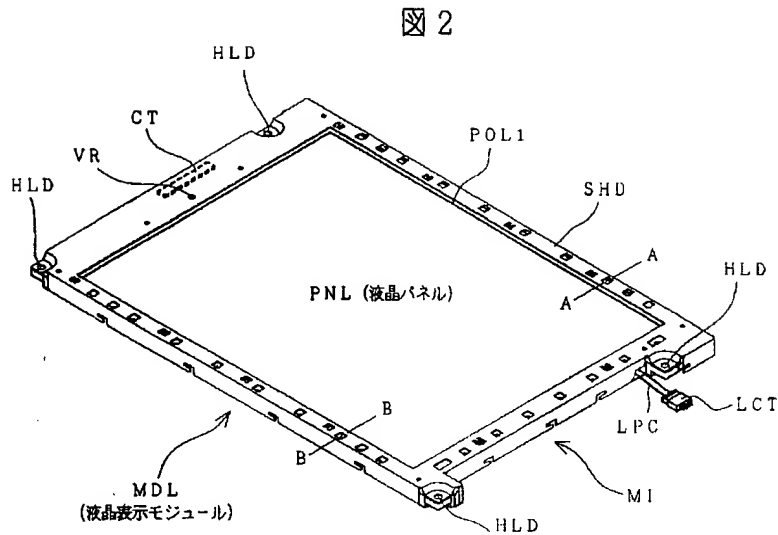
【図1】



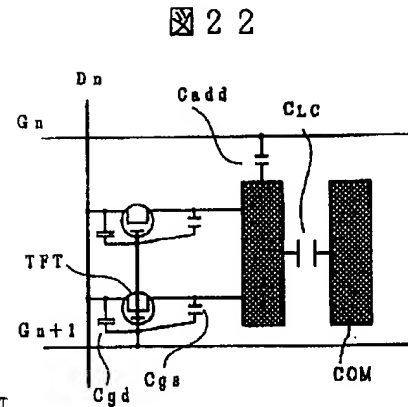
【図15】



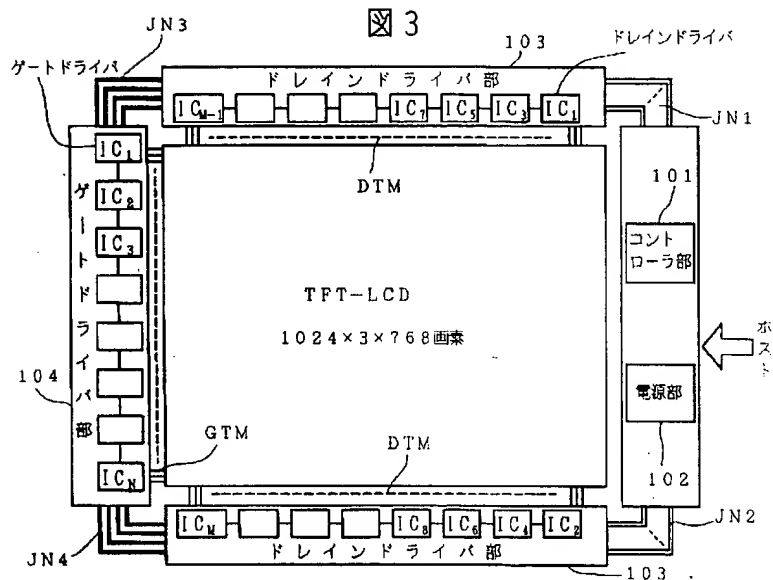
【図 2】



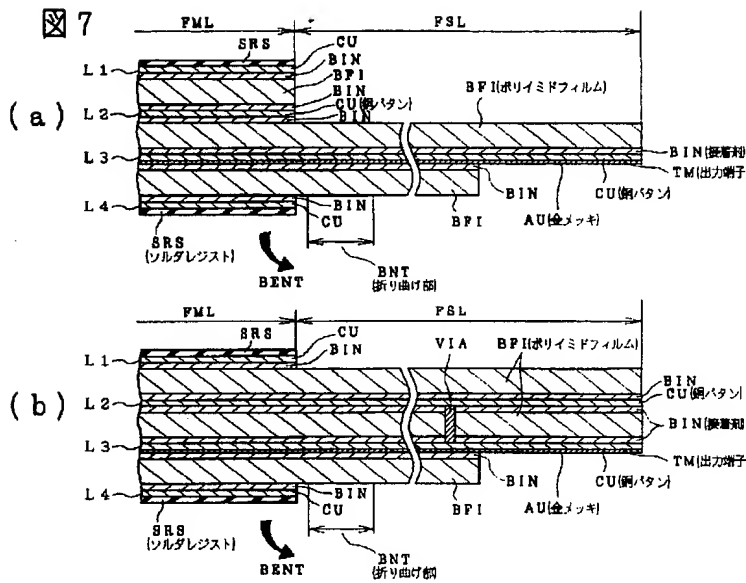
【図 22】



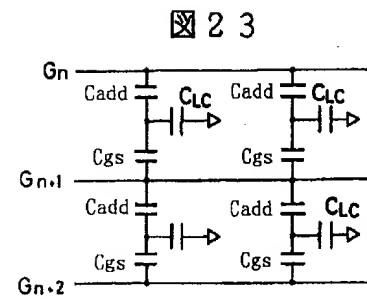
【图 3】



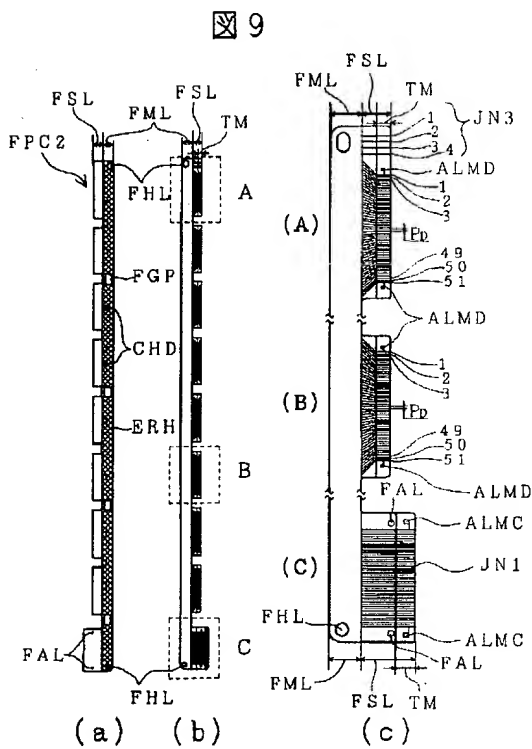
【図7】



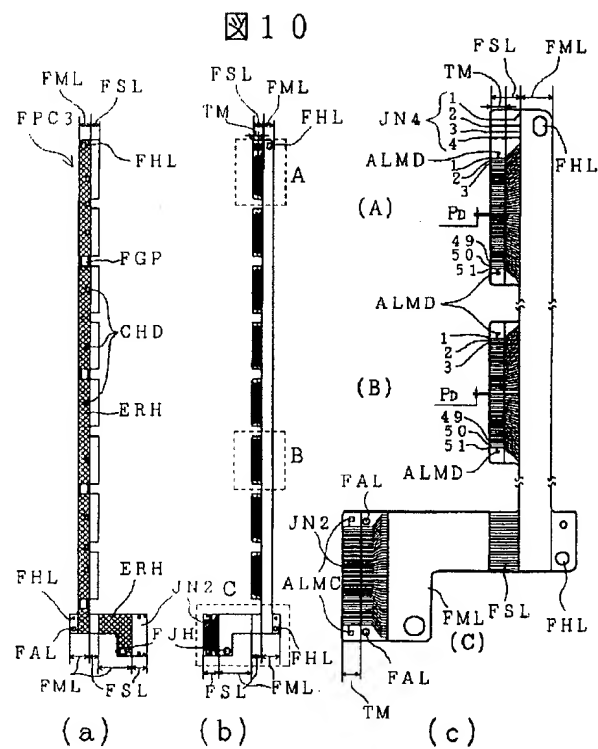
【図23】



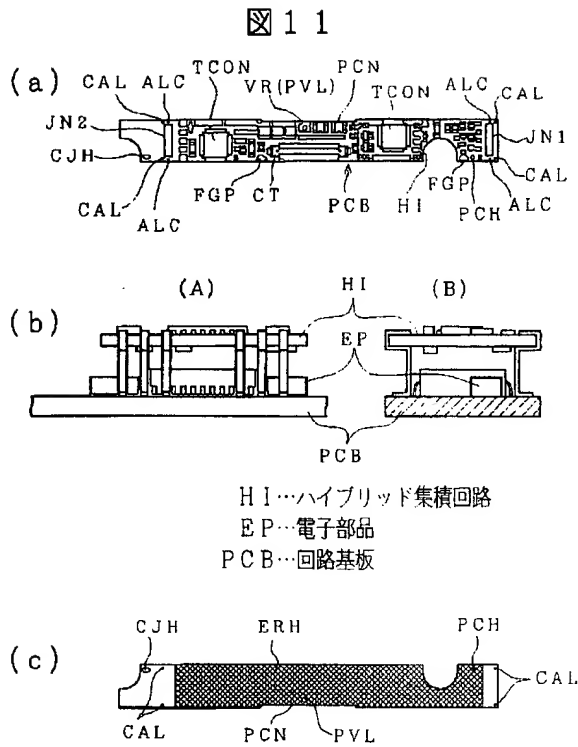
【図9】



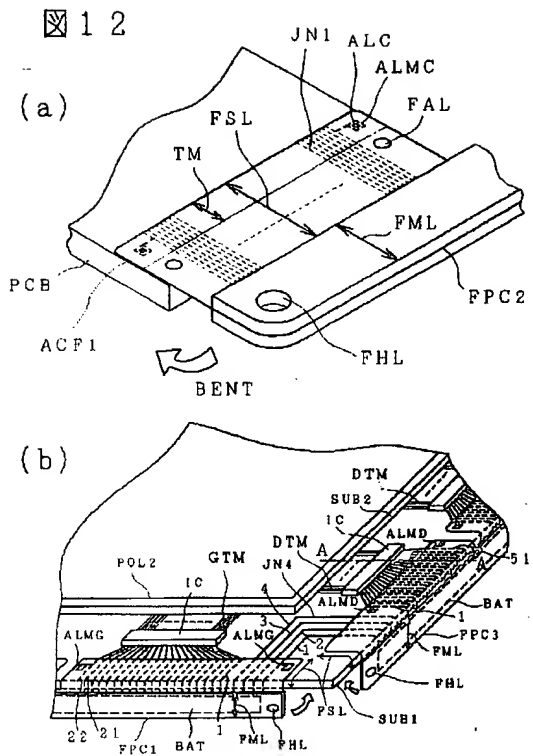
【図10】



【図11】

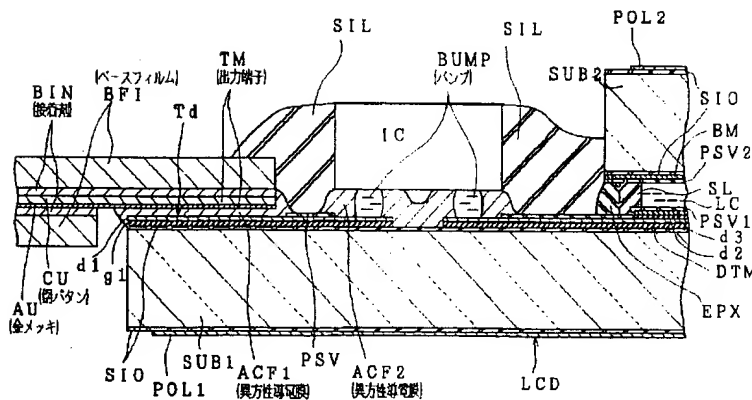


【図12】

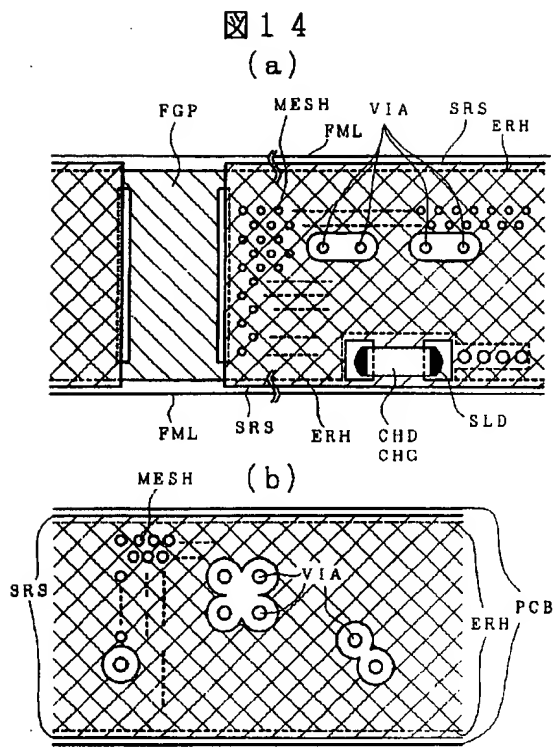


【図13】

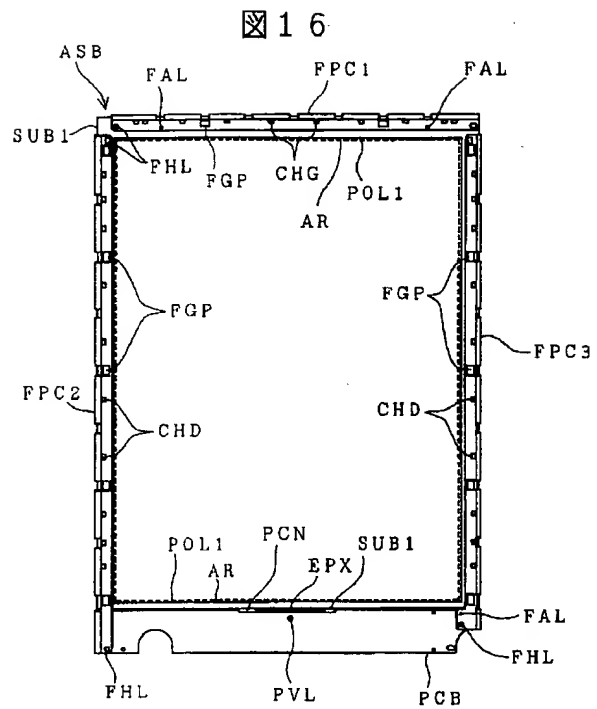
図13



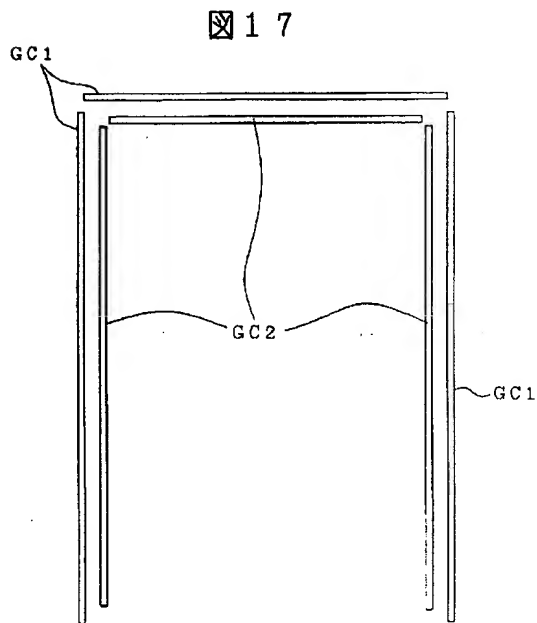
【図14】



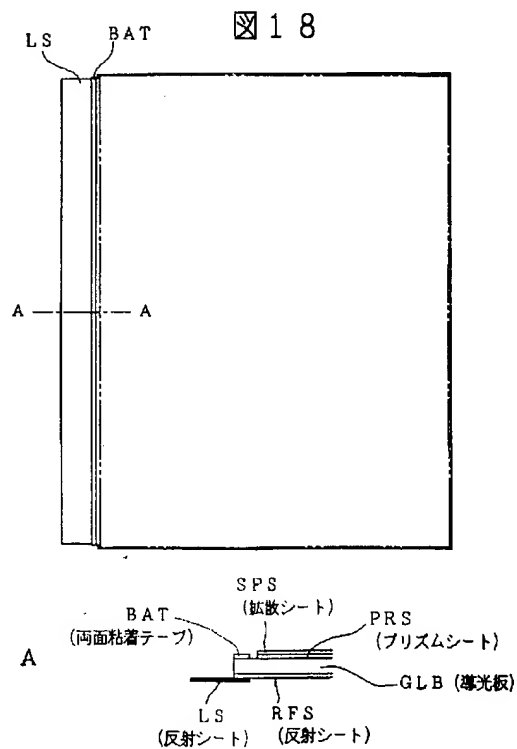
【図16】



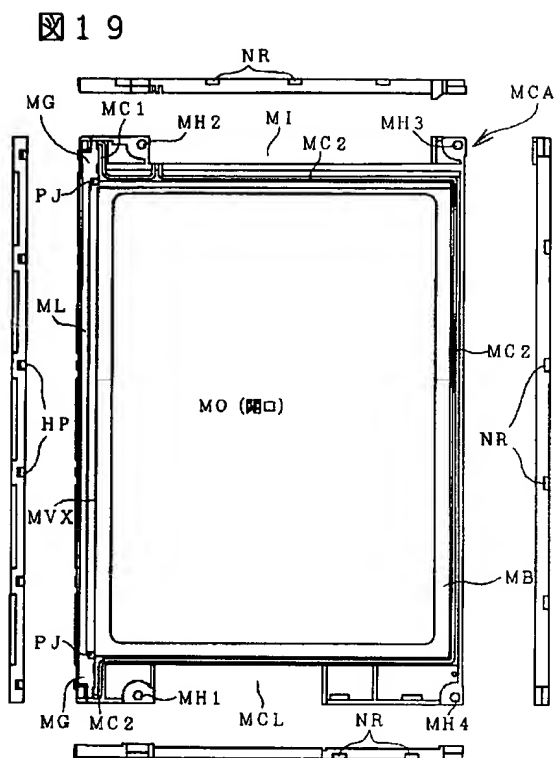
【図17】



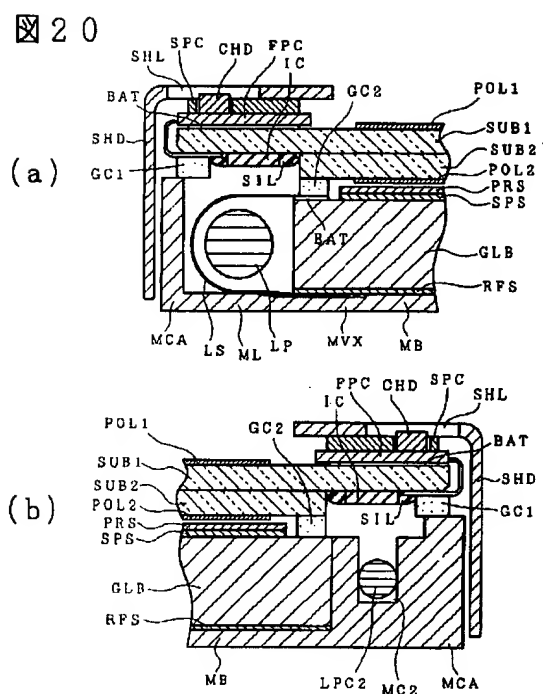
【図18】



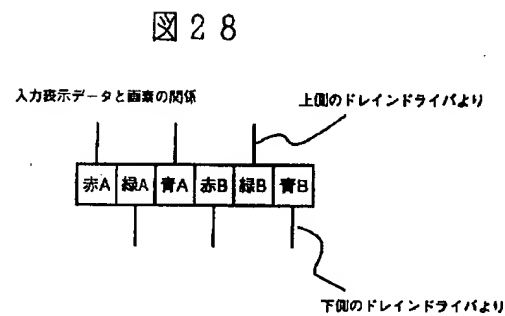
【图 19】



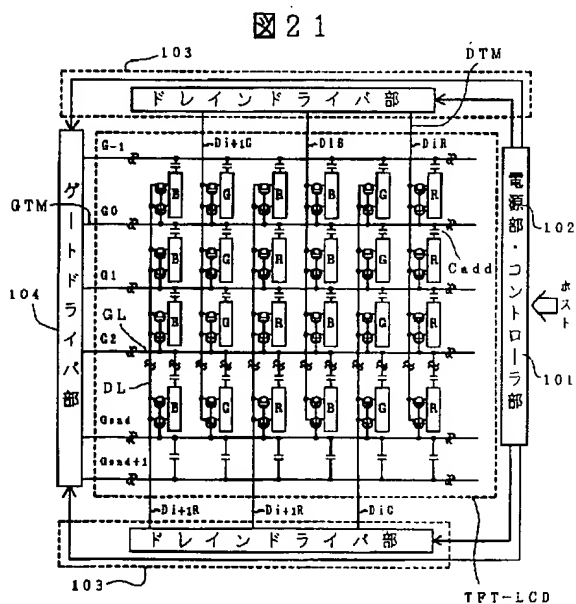
【圖 20】



【图 28】

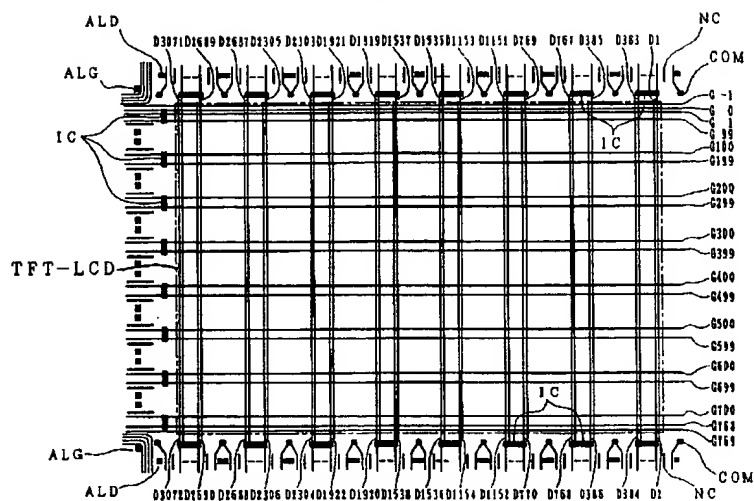


【図 2 1】

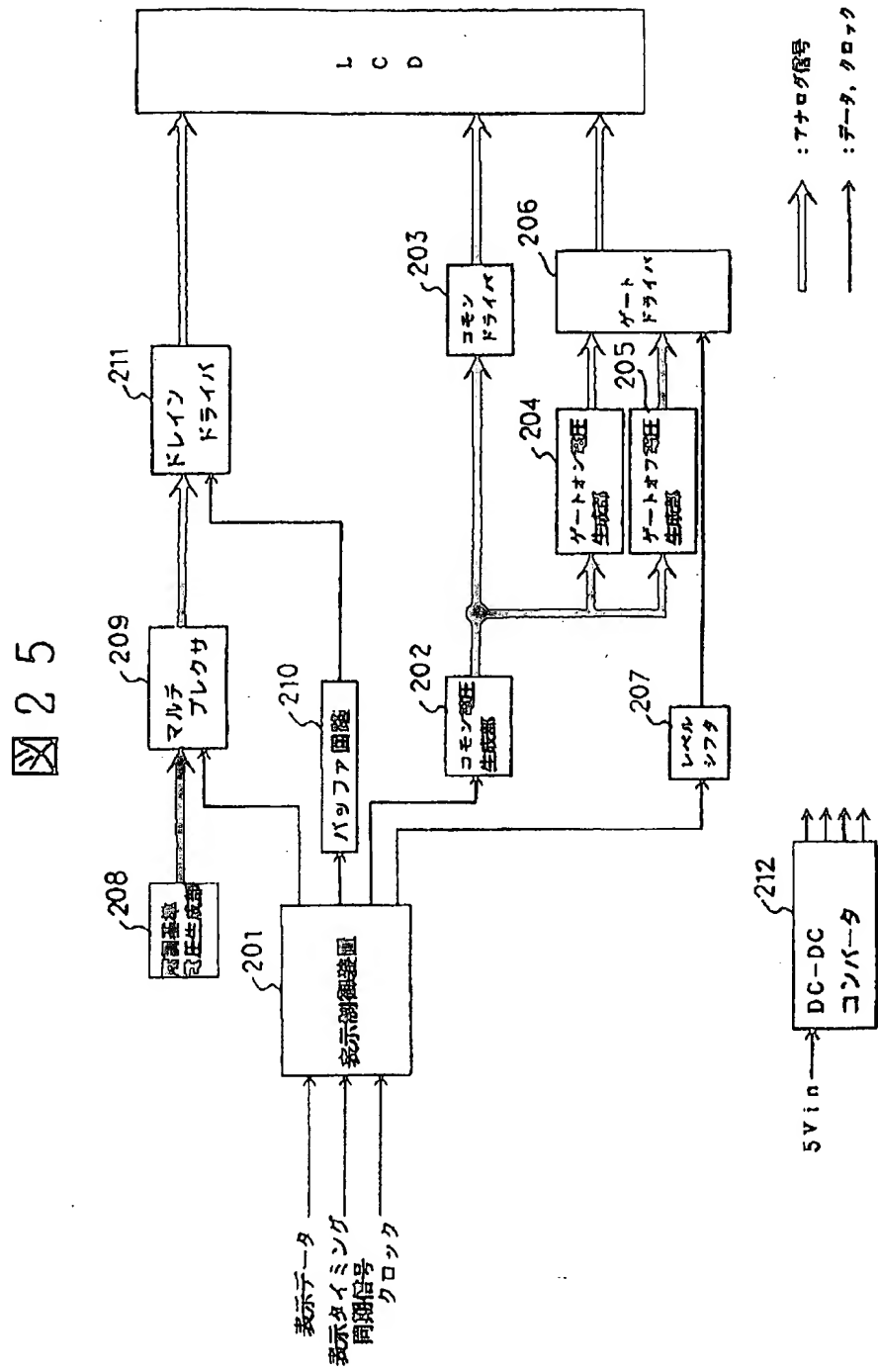


【図 2 4】

図 2 4

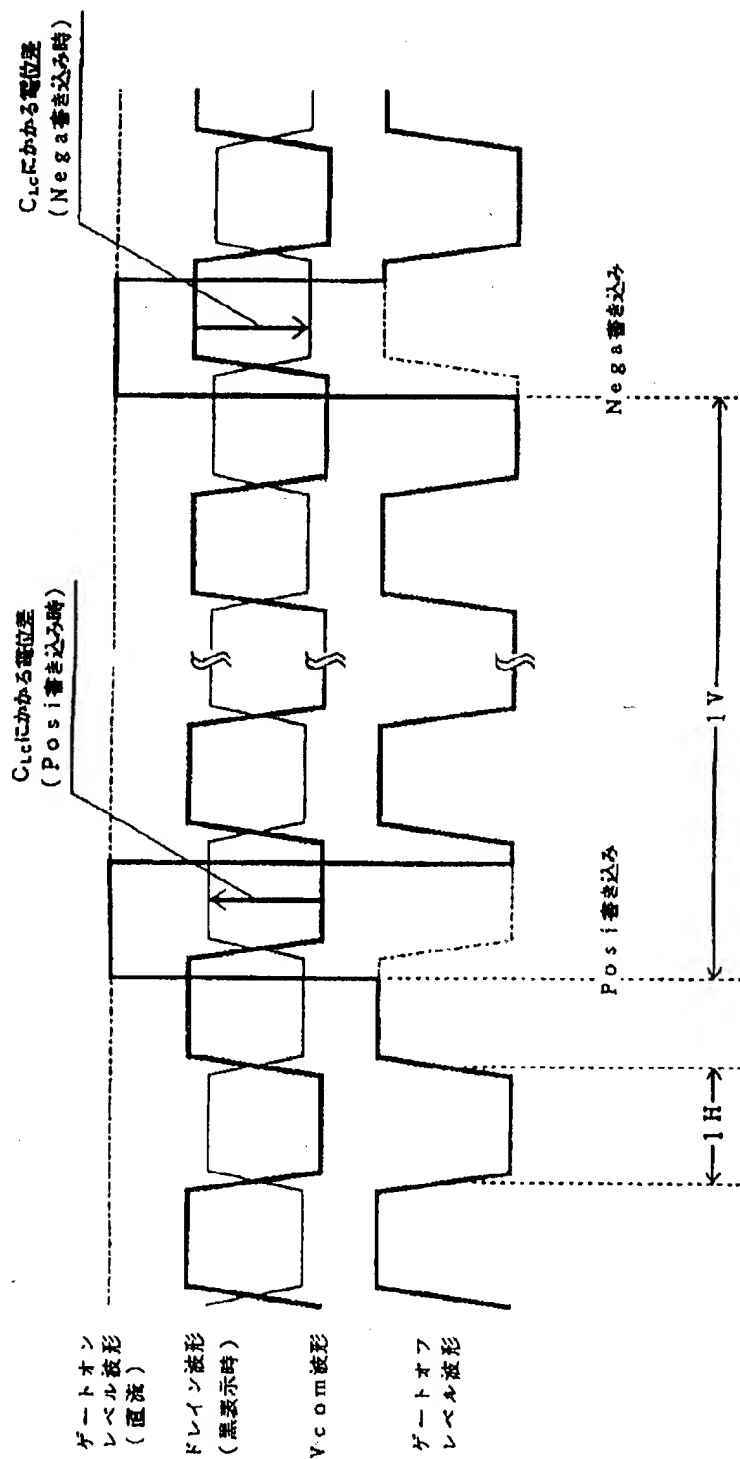


【図25】



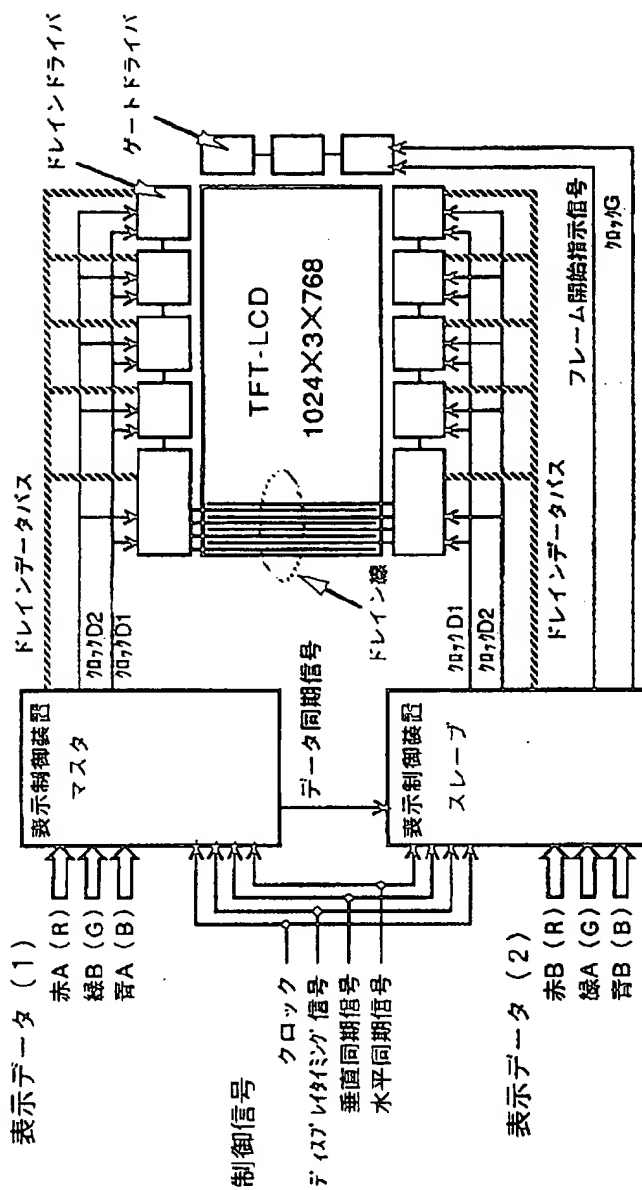
【図26】

図26



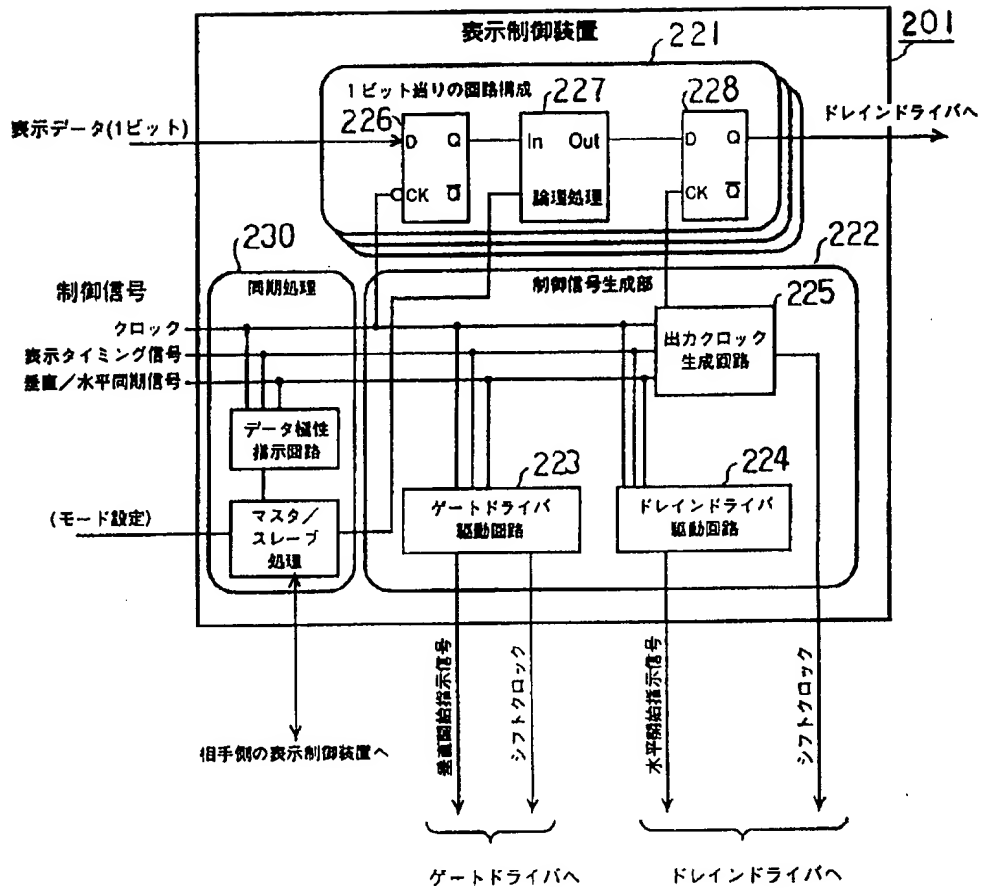
【図27】

27



【図29】

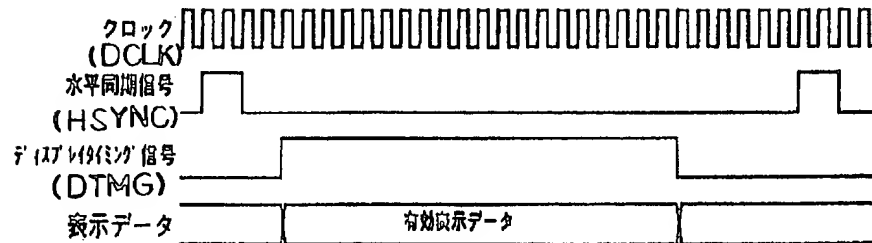
29



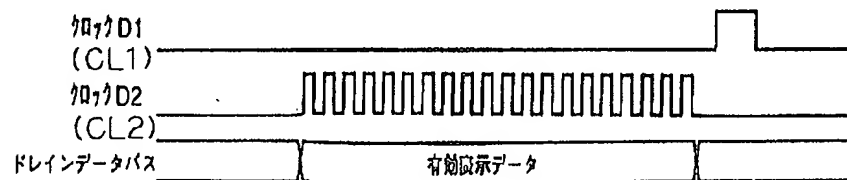
【図31】

図 3 1

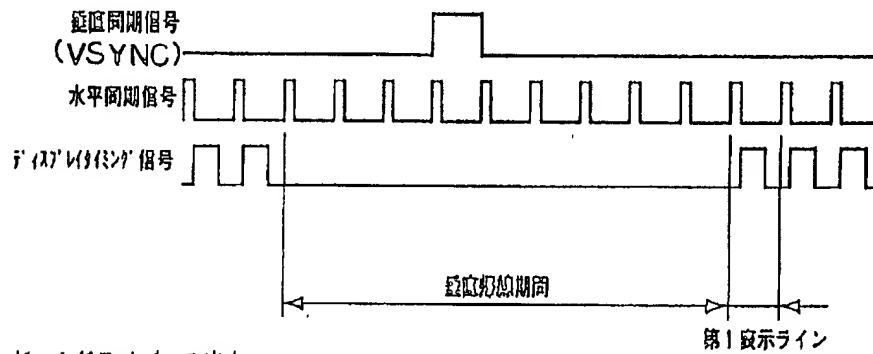
本体側からの信号



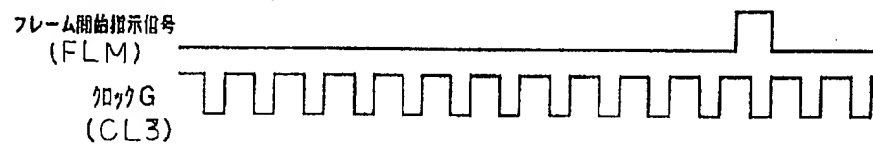
ドレインドライバへの出力



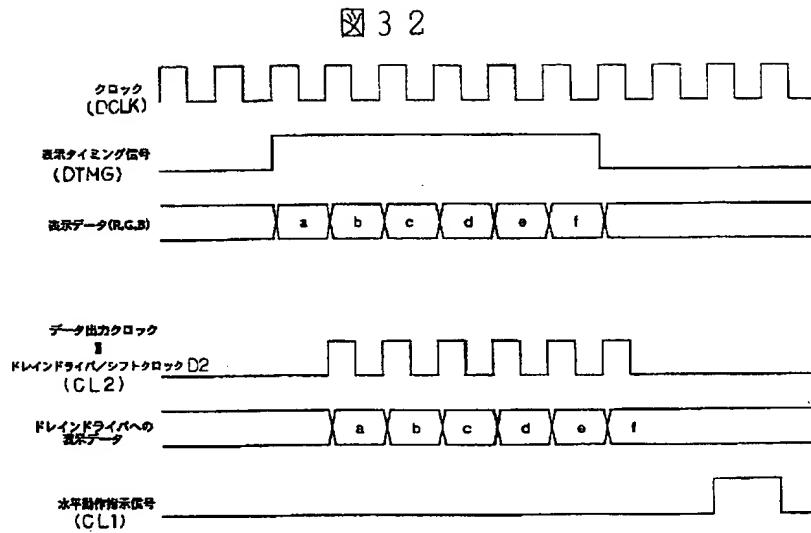
本体側からの信号



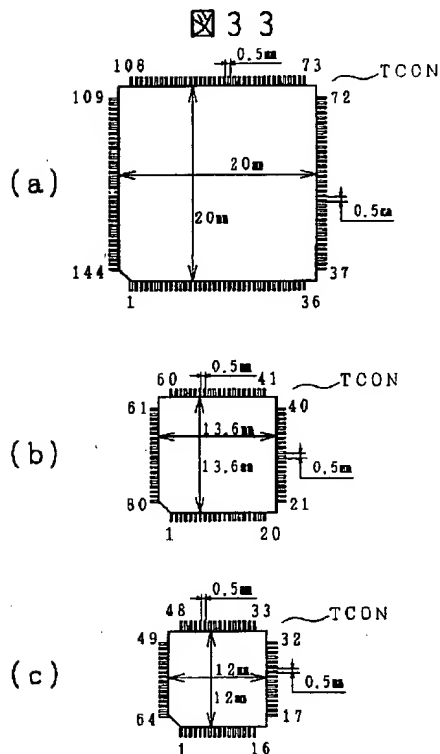
ゲートドライバへの出力



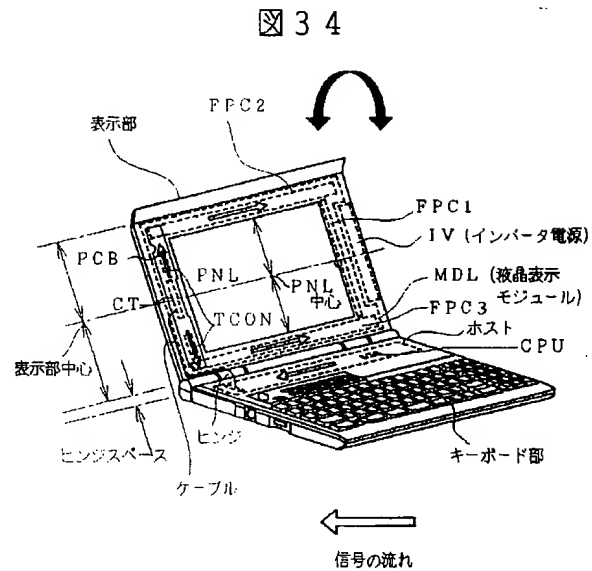
【図 3 2】



【図 3 3】

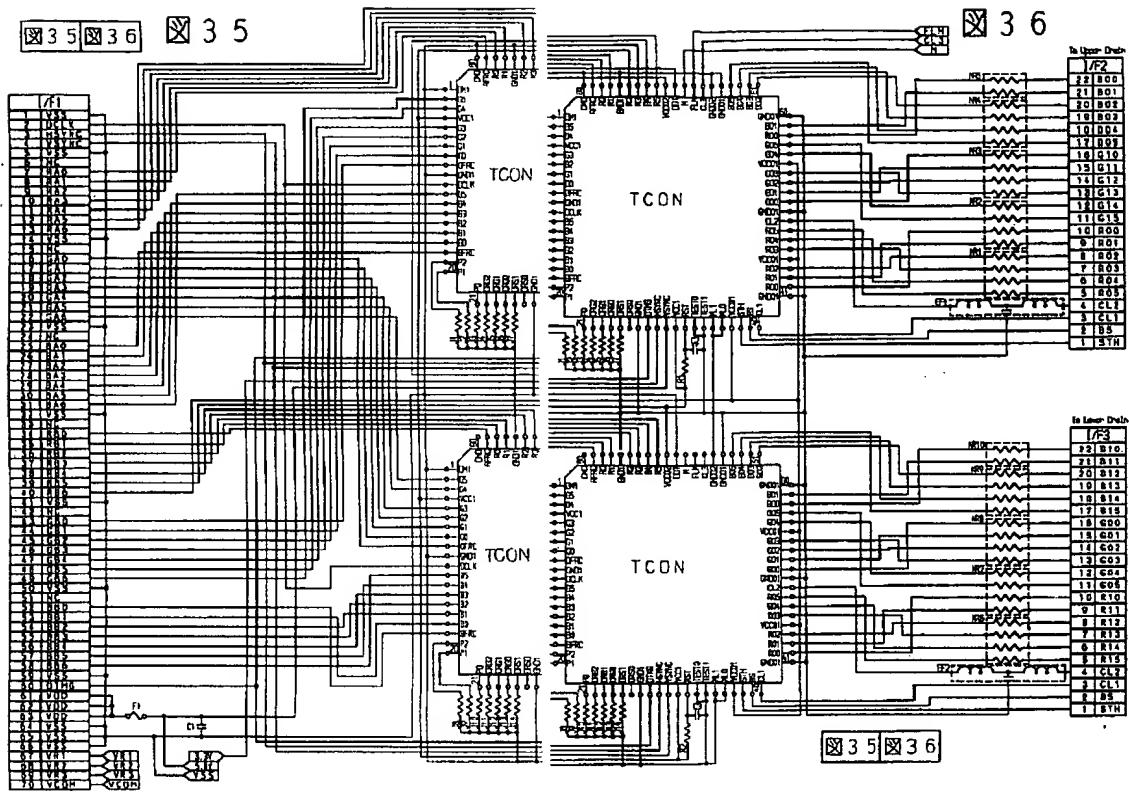


【図 3 4】



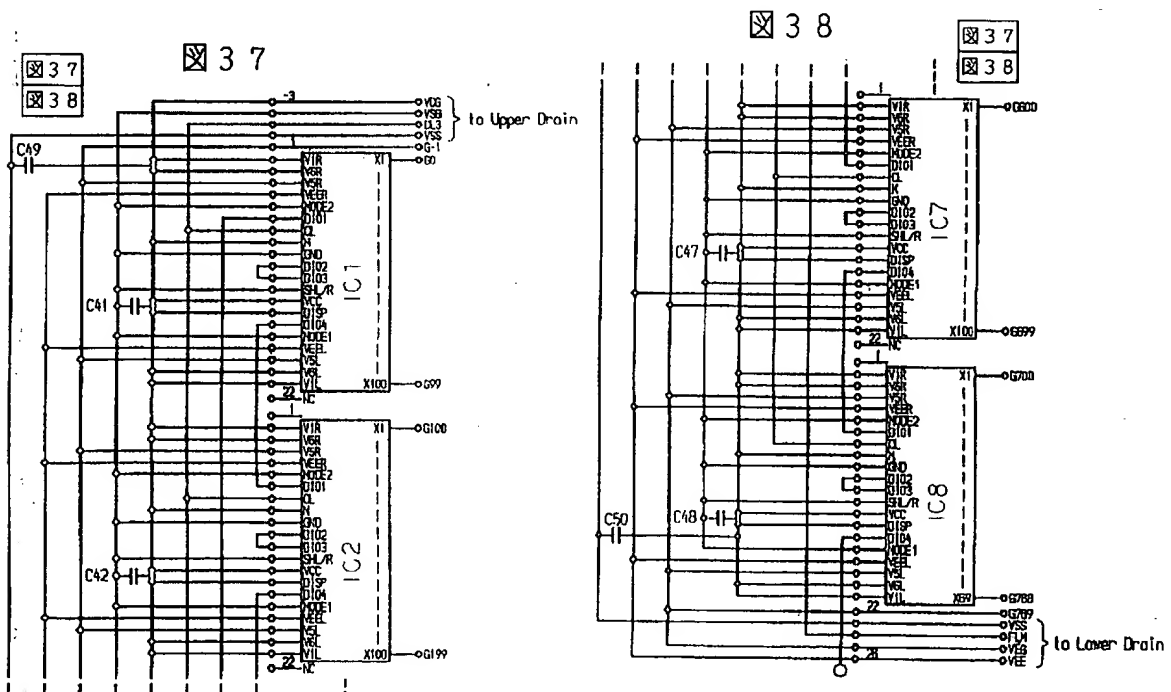
【図35】

【図36】



【図38】

【図37】

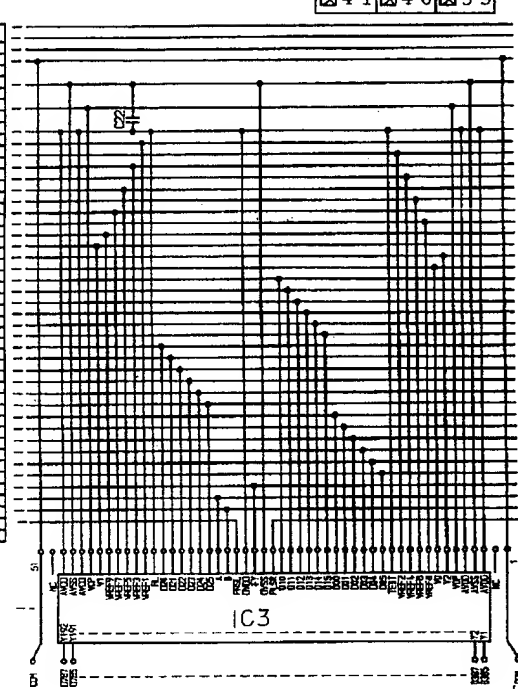
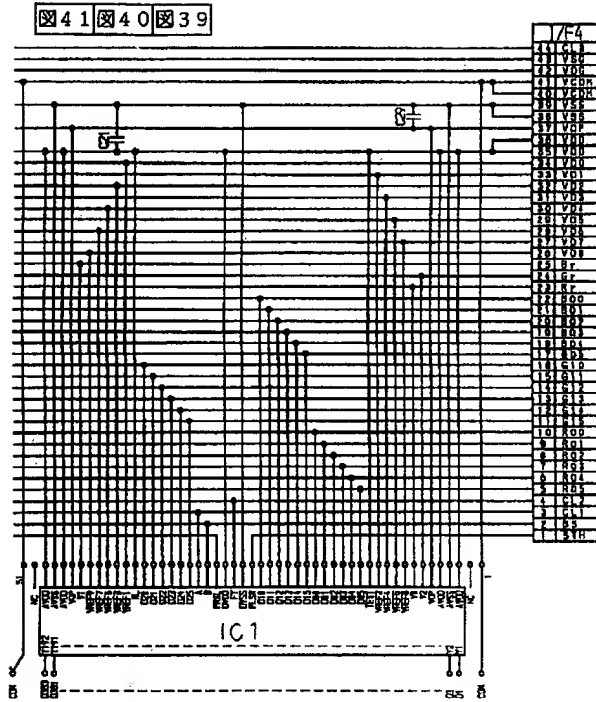


【図39】

【図40】

図39

図40

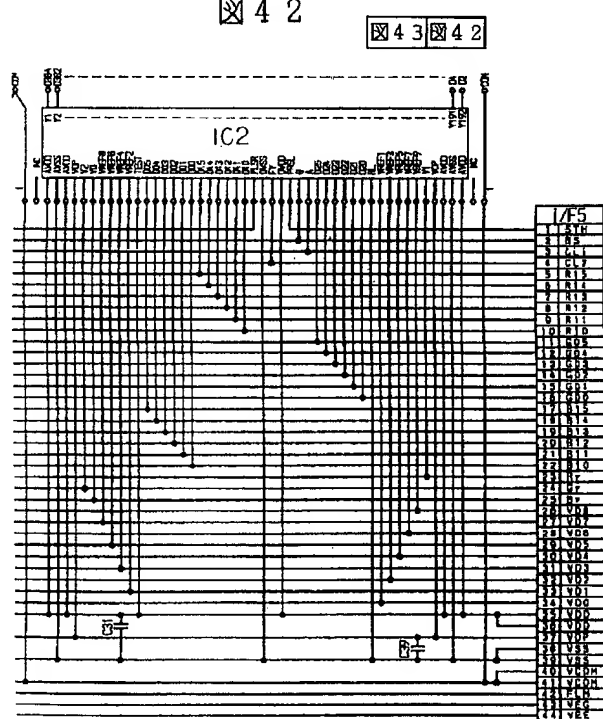
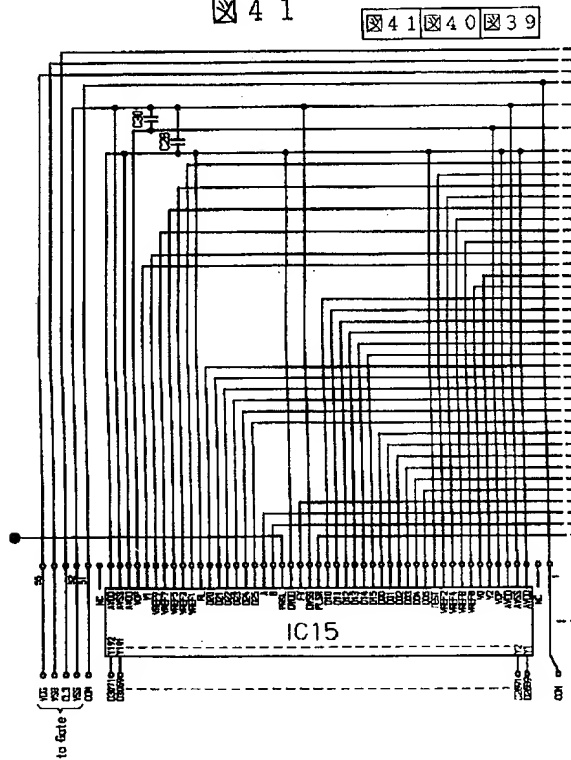


【図41】

【図42】

図41

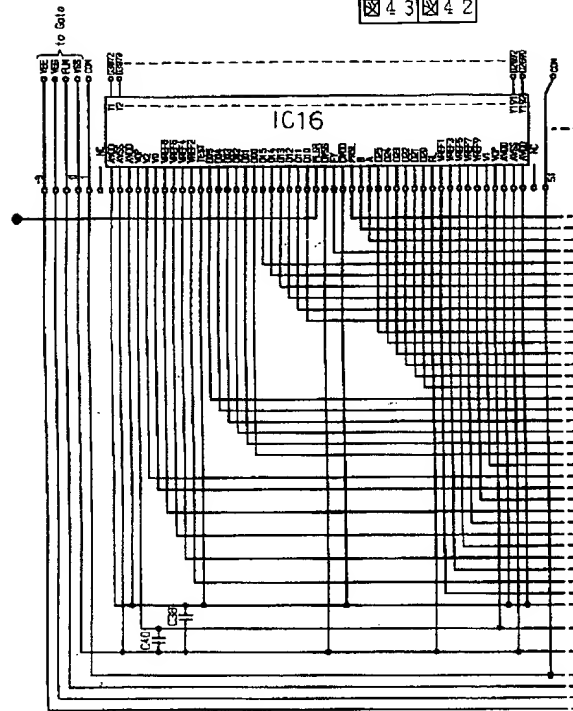
図42



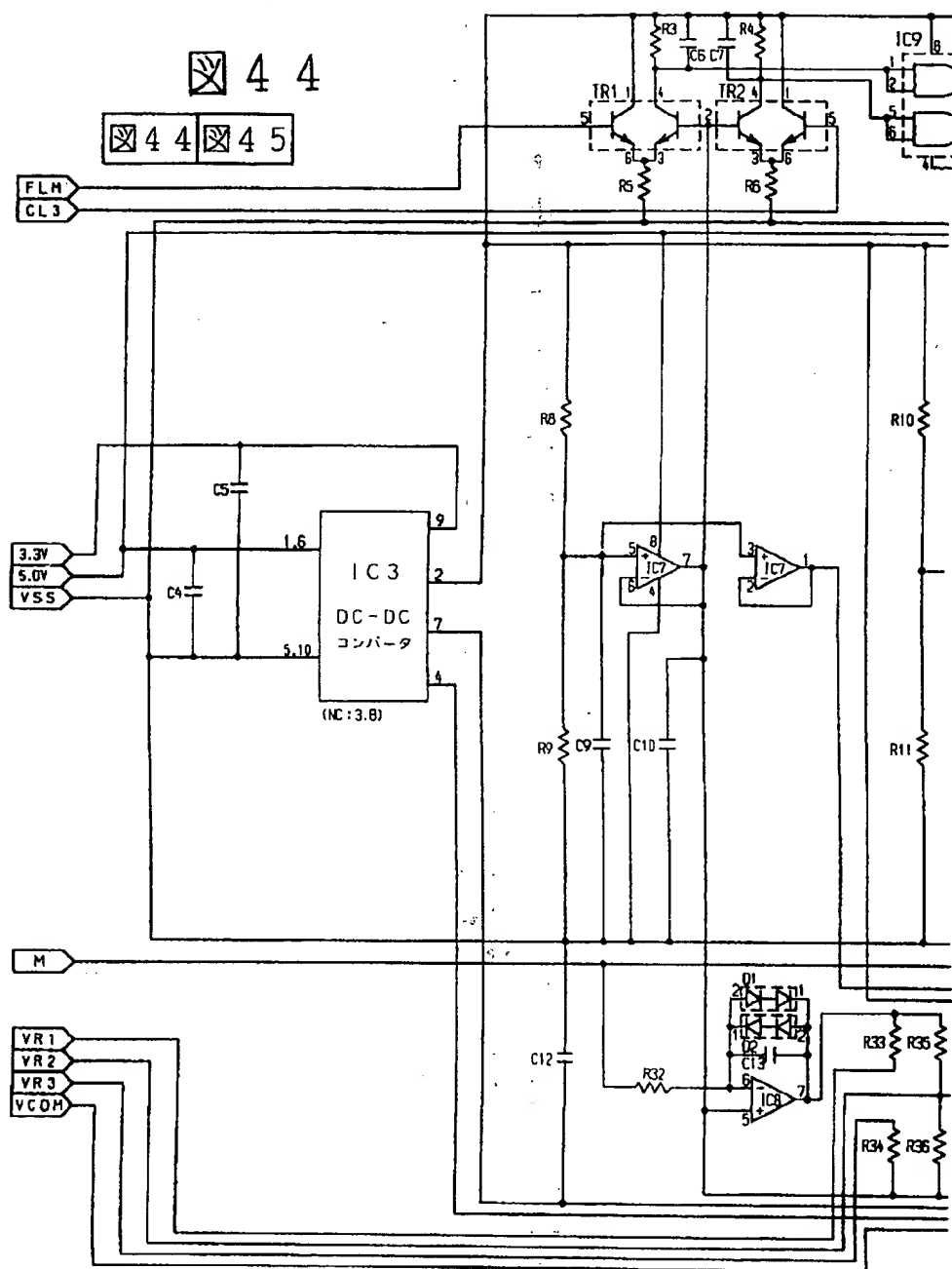
【図43】

図43

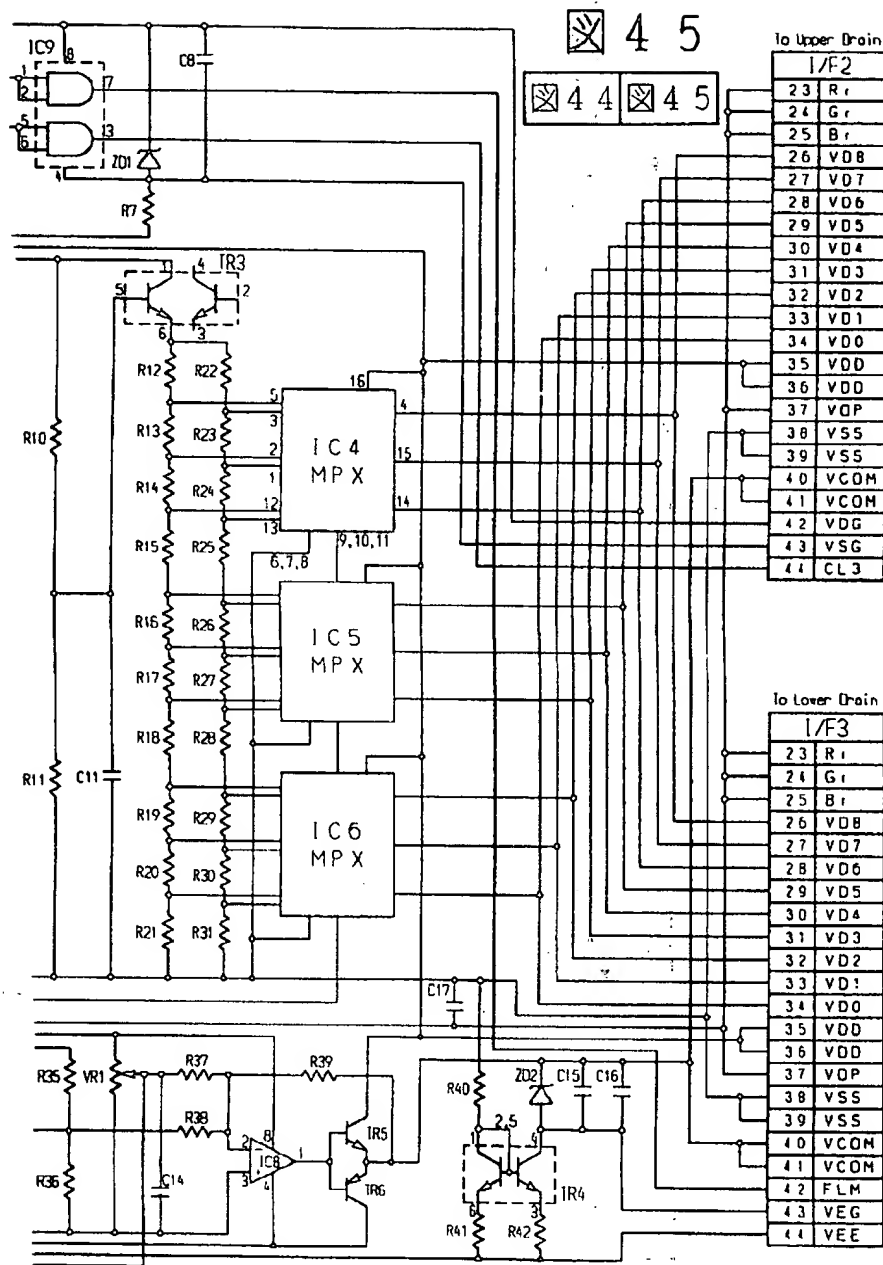
図43 図42



【図44】



【図45】



フロントページの続き

(72)発明者 流石 眞澄

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 柴田 克彦

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 五十嵐 陽一

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 小林 直人

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内